MultiClet®

www.multiclet.com

Мультиклеточная архитектура. Состояние и перспективы

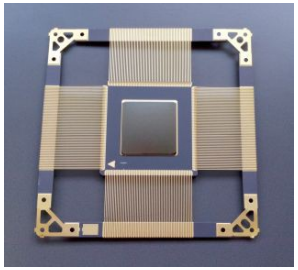
О предприятии

ОАО "Мультиклет"

разрабатывает процессоры и процессорные ядра на базе мультиклеточной архитектуры.

Мультиклеточная архитектура:

- параллельная, с естественной реализацией параллелизма;
- универсальная;
- не-фон-неймановская;
- не имеет зарубежных аналогов;
- патентно защищенная.



Базовые принципы

1. Копирование и доработка чужих технических решений — дорога аутсайдеров. В лучшем случае оно консервирует отставание, что подтверждается развитием компьютерной индустрии в нашей стране за последние пятьдесят лет.

2. Единственная возможность нашей страны выйти в число лидеров — это разработка своих, принципиально новых и патентно защищенных решений.

Продукция

www.multiclet.com

Мультиклеточный процессор MULTICLET P1

- корпус QFP 208 в пластиковом корпусе и CQFP 240 в металлокерамическом корпусе
- в ядре 4 клетки, 32/64 бит
- тактовая частота – 100 Мгц
- производительность – 2,4 GFLOPS
- память (СОЗУ) на кристалле – 256КБ
- постоянное запоминающее устройство – внешнее
- арифметика с плавающей точкой одинарной точности
- периферия: Ethernet 10/100Мб/с (1), UART (4), I2S (1), I2C (2), USB (1.1 FS (Device)), SPI (3)
- напряжение периферии – 3,3 В
- температурный диапазон – от -60°С… до +125°С
- максимальная потребляемая мощность – 1,08 Вт
- тех. процесс – 0,18 мкм
- 7 таймеров общего назначения
- 4 порта вводов-выводов
- 4-х канальный ШИМ контроллер
- сторожевой таймер
- интерфейс отладки и программирования JTAG
- возможность подключения Flash памяти

Продукция

www.multiclet.com

Мультиклеточный процессор MULTICLET R1

- максимальная производительность при одновременном снижении энергопотребления корпус LQFP 256
- в ядре 4 клетки, 32/64 бит
- тактовая частота – 100 Мгц
- производительность – 2,4 GFLOPS
- память (СОЗУ) на кристалле – 512 КБ
- постоянное запоминающее устройство – внешнее любое
- арифметика с плавающей точкой двойной точности
- внешний интерфейс память (A:32, D:32), типы поддерживаемой памяти: SRAM, SDRAM, PROM, I/O
- периферия: Ethernet 10/100Мб/с (1), UART (4), I2S (1), I2C (2), USB (2.0 FS (Device)), RTC, SPI (2)
- напряжение периферии – 3,3 В
- PLL (вход. Частота 8-15 МГц)
- ЦАП – 12 бит, 1 канал, 100 MSPS на канал
- АЦП – 16 бит, 8 каналов, 48 KSPS на канал, с программируемыми предусилителями на каждом канале
- температурный диапазон – от -60°С… до +125°С
- максимальная потребляемая мощность – 0,6 Вт
- тех. Процесс – 0,18 мкм
- часы реального времени с календарем
- 7 таймеров общего назначения
- 4 порта вводов-выводов
- общее кол-во польз. вводов-выводов – 104
- 4-х канальный ШИМ контроллер
- сторожевой таймер
- интерфейс отладки и программирования JTAG
- возможность динамической реконфигурации клеток
- возможность подключения Flash памяти

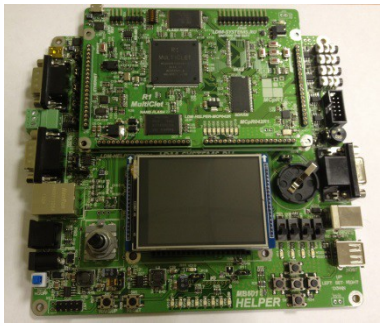
Средства разработки

- C - препроцессор
- C — компилятор
- ассемблер
- редактор связей
- драйвер запуска сборки программы
- отладчик
- функциональная модель
- библиотеки для работы с периферией
- математическая библиотека
- операционная система FreeRTOS

Средства аппаратной отладки

Отладочная плата
LDM-MCp0411100101-
Q 208 Evolution
с процессором
MULTICLET P1

Отладочная плата
HW1-MCp04
с процессором
MULTICLET P1

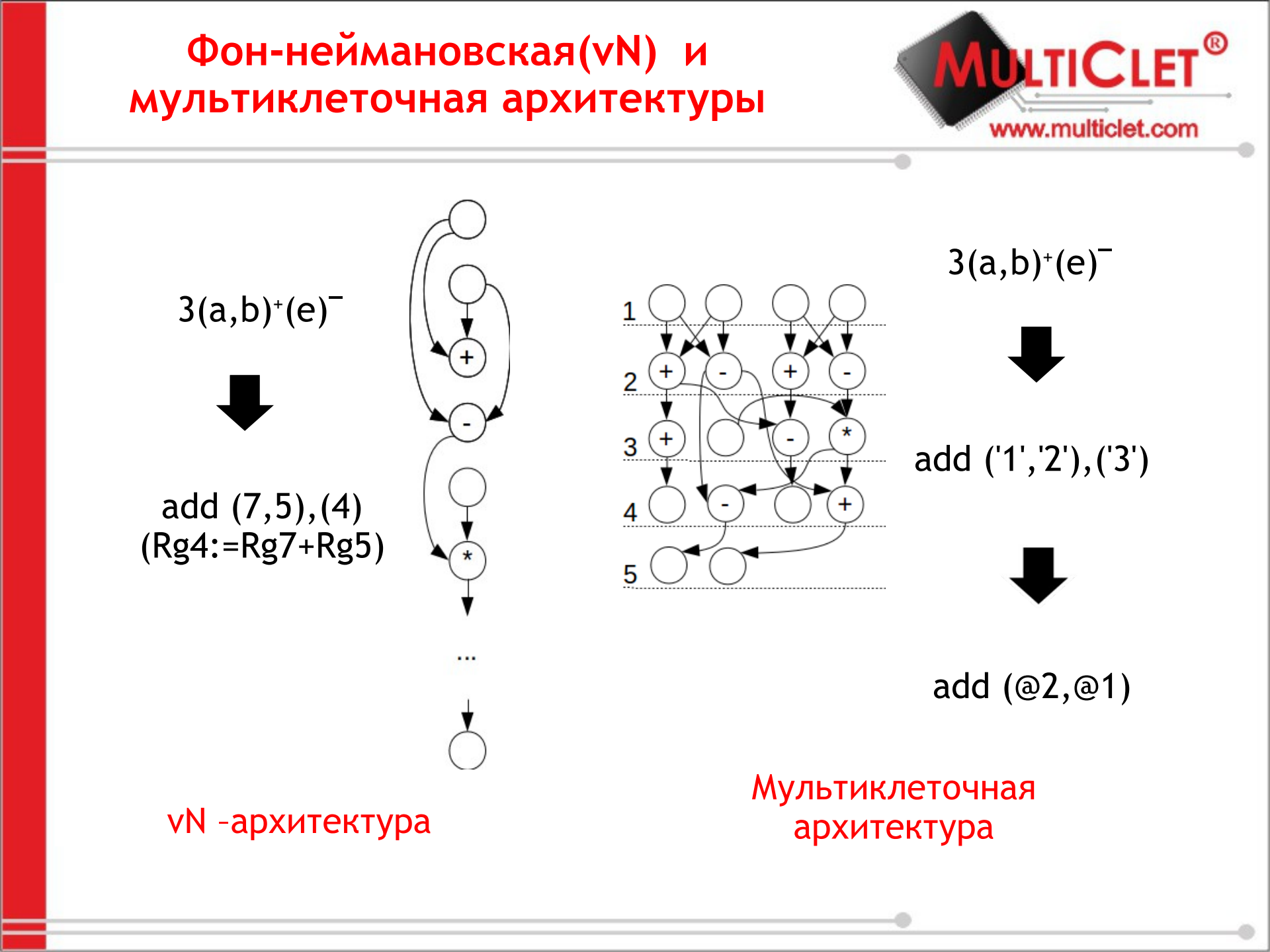


Отладочный комплекс:

LDM-HELPER-MB501-FULL-T2P8 базовая плата
LDM-HELPER-MCP-042RQ256-FULL плата с процессором MULTICLET R1
Адаптер JTAG LDM-PicoProg

Комплекты предназначены для разработки и отладки мультиклеточных систем и позволяют разработчику максимально быстро освоить принципы работы и управлять их периферийными устройствами.

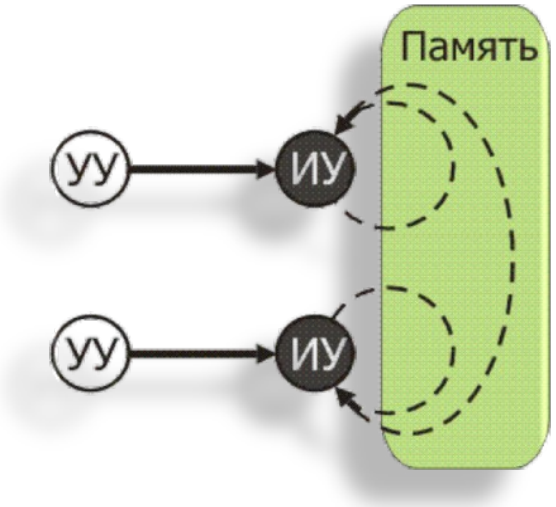
Фон-неймановская(vN) и мультиклеточная архитектуры



Сравнение архитектур

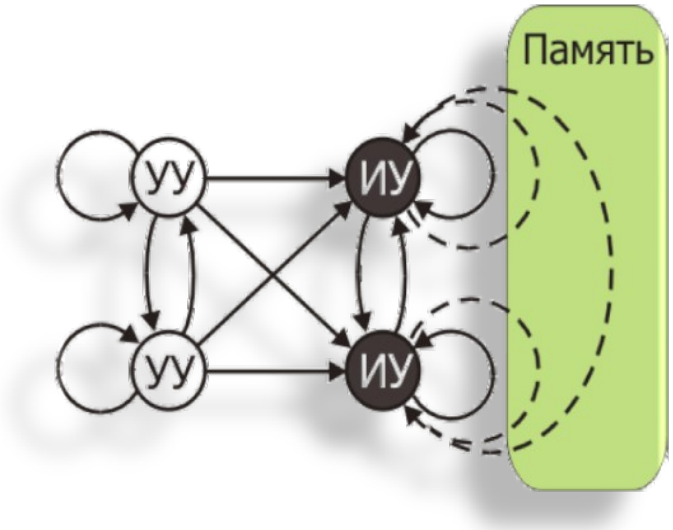
MULTICLET®
www.multiclet.com

Многоядерная фон-неймановская архитектура



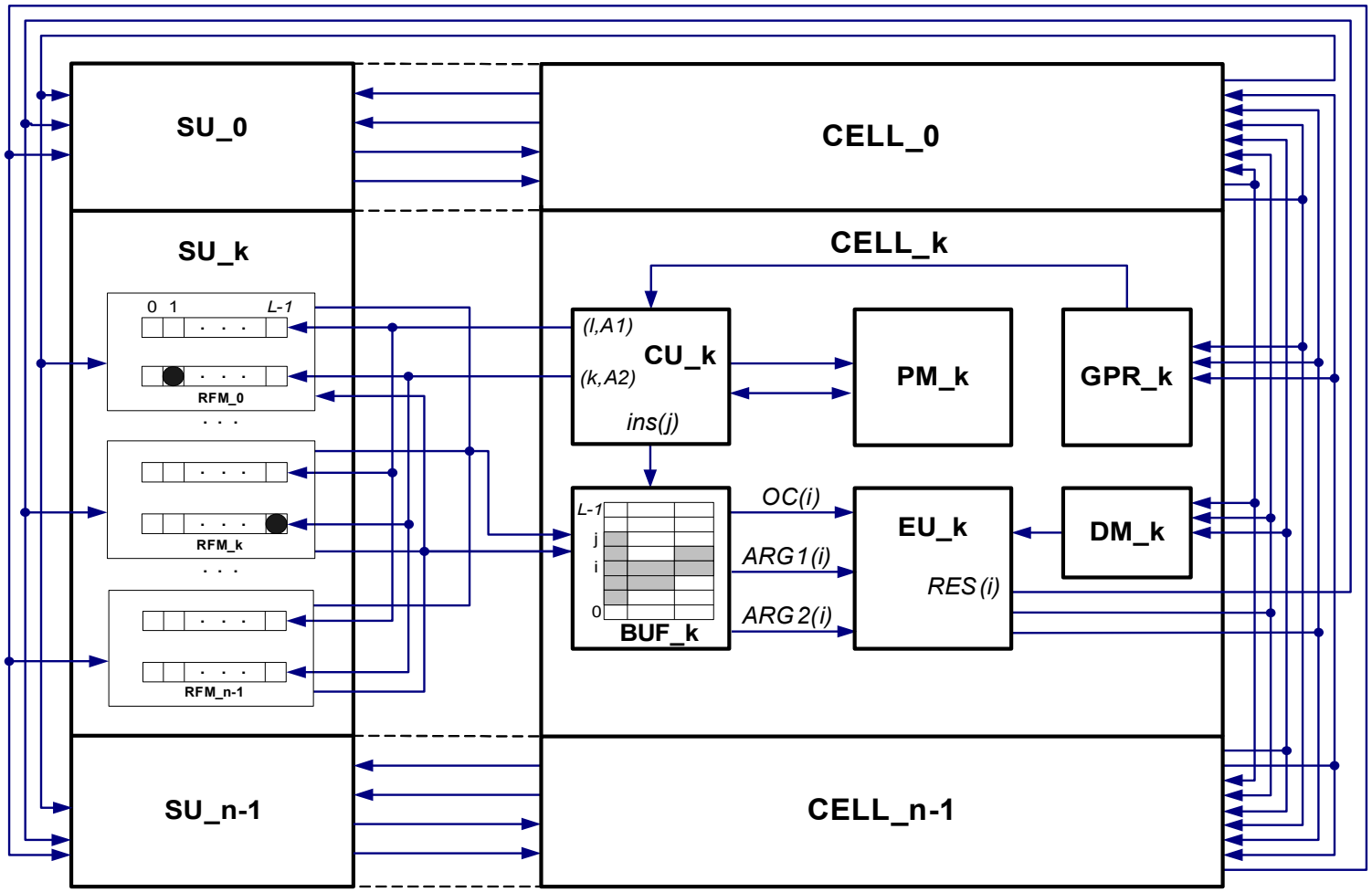
- Оперирует командами
- Команды упорядочены
- Информационный обмен между командами опосредован - через память («бутылочное горлышко»)

Мультиклеточная архитектура



- Оперирует параграфами – замкнутыми группами информационно связанных команд
- Команды в параграфе частично упорядочены
- Информационный обмен между командами - прямой, память в этот обмен не вовлекается

Мультиклеточная архитектура. Структура процессора



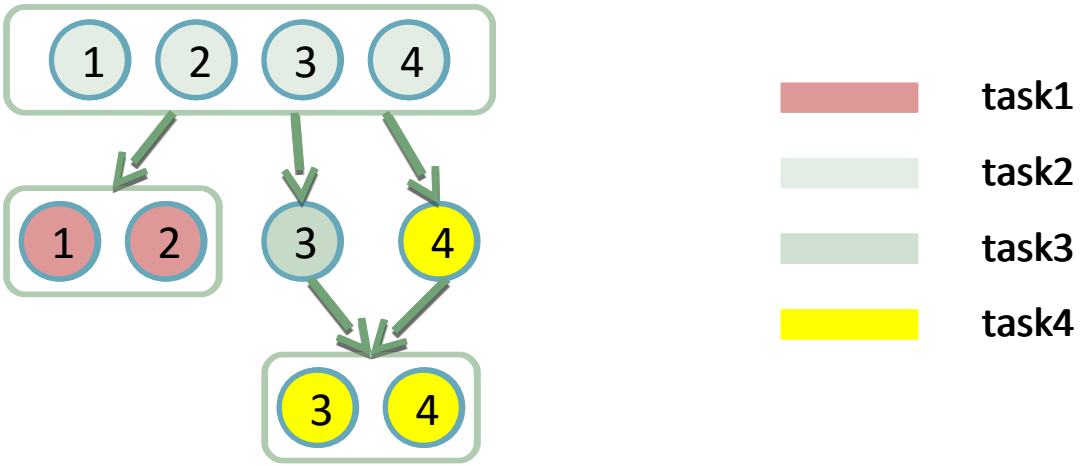
Конкурентные преимущества мультиклеточной архитектуры

MULTICLET®
www.multiclet.com

- Естественная реализация параллелизма (без решения задачи распараллеливания)
- Использование традиционных императивных языков высокого уровня для программирования и типовых инструментальных средств для разработки (LLVM)
- Уменьшение площади кристалла
- Эффективная реализация любого класса задач (коммутационная среда не накладывает ограничений на межклеточный обмен данными)
- Выполнение программы без перекомпиляции на любом количестве клеток
- Непрерывное выполнение программы при деградации аппаратной среды (отказах клеток)
- Динамическое перераспределение вычислительных ресурсов

Динамическая реконфигурация

Процессоры с мультиклеточной архитектурой - единственный тип процессоров, в которых возможна динамическая реконфигурация процессора в ходе решения потока задач



Производительность на CoreMark

	Multiclet P1-lcc compiler	Multiclet R1 -lcc compiler	Multiclet R1 -llvm compiler	1985BE 91T Ми-ландр ARM Cortex-M3	STM32F4x Stmicroel ectronics ARM Cortex-M4	RX62N Renesas	WIPS proAptive RTL FPGA prototype	Intel Core i7-2760QM CPU@2.40GHz
Такт. част., мгц	80	100	100	80	168	100	31	2400
Общ. показ. Core Mark	24.49	24.95	56.45	117.6	501.85	311.54	137.10	85151.68
Core Mark/ мгц	0.31	0.25	0.56	1.47	2.98	3.12	4.42	35.48

Производительность на тесте popcnt

Сводная таблица результатов (количество тактов на один цикл расчёта 32-х бит)

	Multiclet R1 (C)	**Multiclet R1 (ASM)**	**Pentium Dual Core 5700 3.0GHz**	**Intel Core i7-4700HQ@2400**
BitHacks	59.4	5.0	9.5	4.7

Производительность

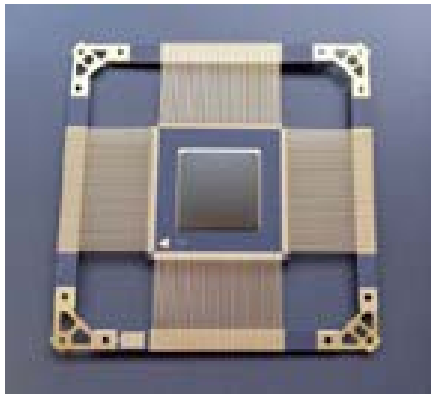
№/№	Параметры	Мультиклет R1	Аналоги		
			Процессор 1967ВН034 компании "Миландр"	Семейство C66x компанииTI	Процессор ADSP-TS201S компании Analog Devices
1	Количество операций выполняемых за один такт	4	6	8	24
2	Время выполнения CFFT-256 в тактах	2136	1812	1782	928
3	Вычислительный ресурс, затраченный на выполнение задачи	8544	10872	14256	22272

Развитие архитектуры

- Для DSP процессоров и процессоров общего назначения — оптимизация схемотехнических решений и, соответственно, уменьшение площади клеток при одновременном повышении их производительности

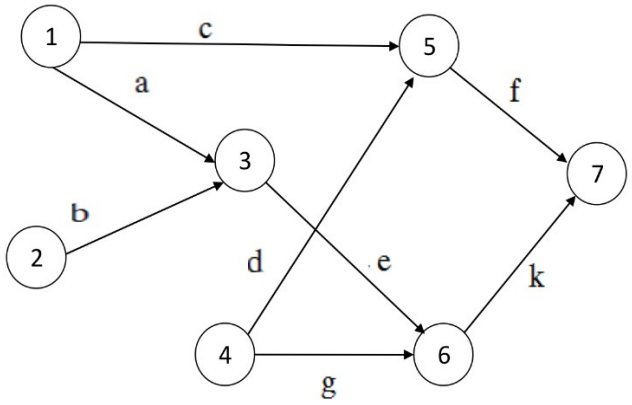
- Разработка решений обеспечивающих «живучесть» процессоров в системах с повышенной надежностью, обеспечивающих непрерывную работу системы при отказах клеток

- Увеличение количества клеток на кристалле и создание многоуровневых мультиклеточных систем для супервычислений



СПАСИБО ЗА ВНИМАНИЕ!

Общие положения



1. Любой алгоритм, выполняемый компьютером может быть представлен в виде ориентированного ациклического графа G=(V,E), где (см. рис.):

V = {1,2,3,4.5,6,7},

E = {a,b,c,d,e,f,g.k}.

2.Любой граф может быть представлен двумя (!) списочными формами, либо списком смежности:

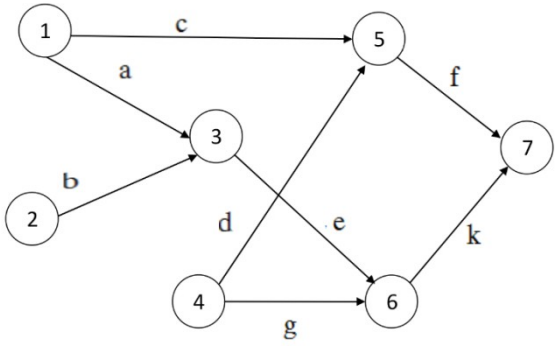
(5,3);2(3);3(6);4(5,6);5(7);6(7);7(Ø),

либо списком инцидентности:

$1(a,c)^{-};2(b)^{-};3(a,b)^{+}(e)^{-};4(d,g)^{-};5(c,d)^{+}(f)^{-};$

$(e,g)^{+}(k)^{-};7(f,k)^{+}$

Архитектуры на базе списка смежности



1(5,3);2(3);3(6);4(5,6);5(7);6(7);7(Ø)

Использование списка смежности обеспечивает:

- естественную реализацию параллелизма (исполнение очередной операции инициируется исполнением предшест-вующих);
- минимальные затраты на передачу результатов, так как все связи заданы явно.

Необходимое условие – биективное отображение G на программно-аппаратную среду.

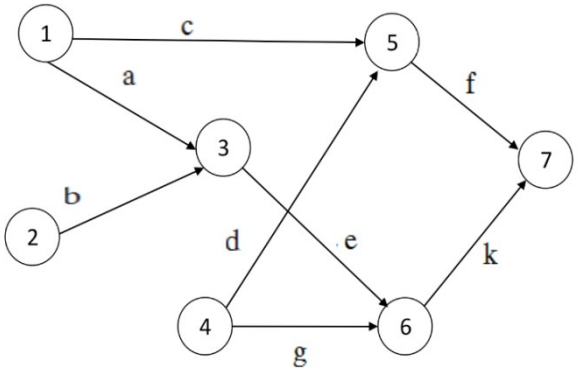
Примеры реализации

Аналоговые компьютеры

Функционально-ориентированные процессоры (например БПФ-процессоры)

Потоковые процессоры (проблемы, вызываемые сюръективным отображением не решены до сих пор)

Архитектуры на базе списка инцидентности



$1(a,c)^{-};2(b)^{-};3(a,b)^{+}(e)^{-};$
$4(d,g)^{-};5(c,d)^{+}(f)^{-};6(e,g)^{+}(k)^{-};$
$7(f,k)^{+}$

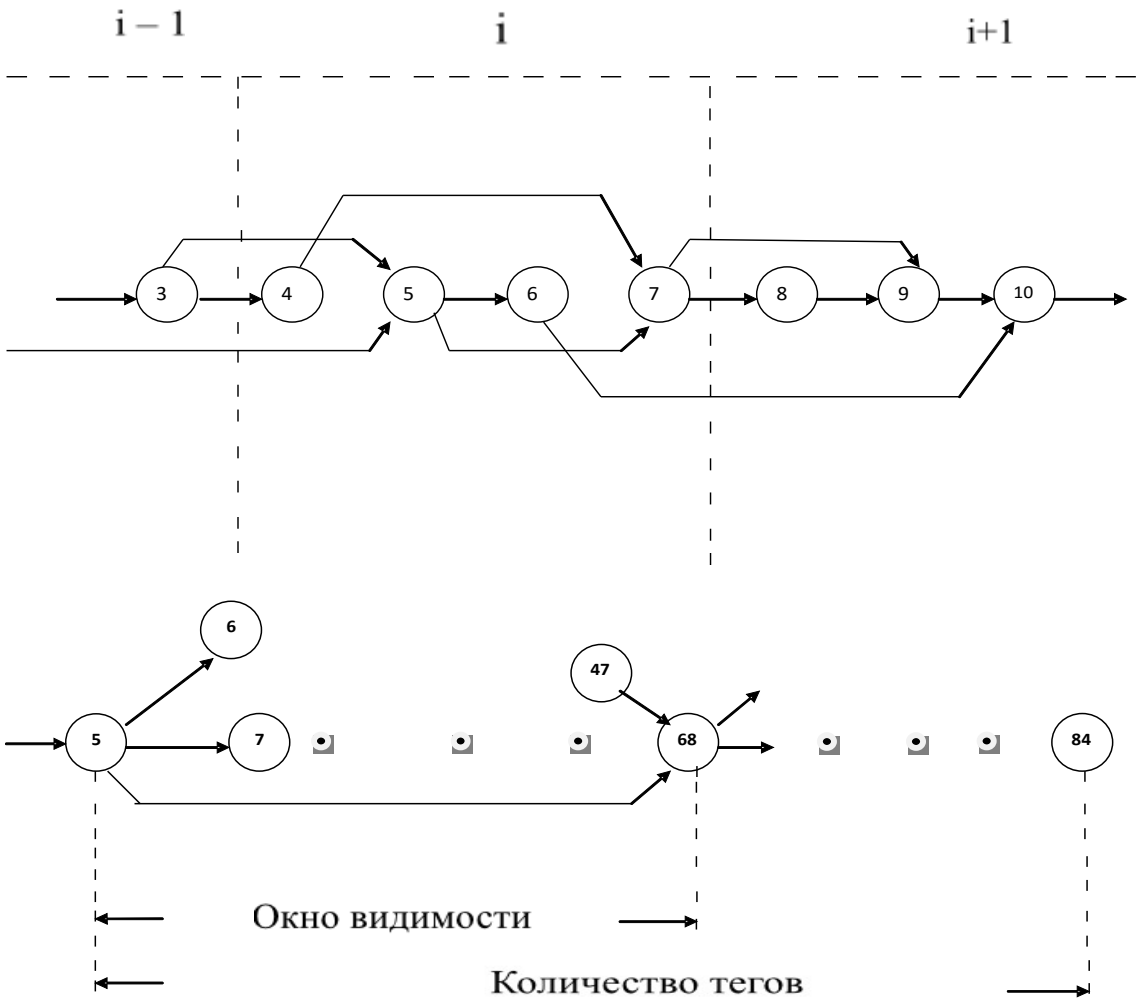
Использование списка инцидентности обеспечивает:

«естественную» реализацию параллелизма (исполнение очередной операции инициируется готовностью требуемых ей результатов);

возможность использования сюръективного отображения G на программно-аппаратную среду и, как следствие, независимость описания G от среды.

Требуется организация хранения и общедоступность потока результатов до их использования, а также активизация исполнения операций потоком результатов.

Мультиклеточная архитектура. Выборка команд и присвоение тегов



Мультиклеточная архитектура. Формирование программы

Jmp next

Rd a

Rd b

Rd c

Rd d

+ 4,1

- 4,3

wr 2,e

wr 2,f

Команды в программе объединены в параграфы – линейные и иформационно-замкнутые последовательности команд.

Каждый параграф имеет один вход и не менее одного выхода. При наличии нескольких выходов в процессе выполнения должен выполняться только один.

Состояние процессора меняется, как правило, по завершению параграфа.

Мультиклеточная архитектура. Сравнение программ

MULTICLET®
www.multiclet.com

Load 4,a

Load 3,b

Load 2,c

Load 1,d

+ 4,1

- 3,2

Wr 4,e

Wr 3,f

Jmp next

(4):= a + d

(3):= b - c

vN - процессор

Jmp next

Rd a

Rd b

Rd c

Rd d

+ 4,1

- 4,3

wr 2,e

wr 2,f

- параграф

a + d

b - c