

Полузаказная СБИС со встроенным микропроцессорным ядром К5512БП1Ф

Новичков Сергей Викторович

Начальник отдела верификации

novichkov@mri-progress.ru

(499) 153 04 41

ИННОПОЛИС ИЮНЬ 2016

Проблемы разработчиков систем специального назначения в настоящее время

- ❑ Ограничения использования отечественными предприятиями ОПК иностранных технологий и ЭКБ в связи с введением Евросоюзом и США санкций политического, экономического и военного характера
- ❑ Отсутствие возможности получения «pin-to-pin» замены иностранной ЭКБ в на отечественную в обозримом будущем
- ❑ Необходимость проведения полного перепроектирования функциональных схем модулей на отечественной ЭКБ
- ❑ Острый дефицит отечественной функционально-сложной ЭКБ достаточной для осуществления импортозамещения

Импортозамещающая технология ОАО «НИИМА «Прогресс»

- ❑ Традиционный набор разработчика аппаратуры «ПЛИС-Микропроцессор-Память»
- ❑ Разработка серии «СБИС-полуфабрикатов» из которых можно формировать законченные аппаратные решения – одно из направлений деятельности ОАО «НИИМА «Прогресс»
- ❑ Импортозамещающая технология ОАО «НИИМА «Прогресс» – перевод схем, реализованных на базе набора «ПЛИС-Микропроцессор-Память» на полужаказную программируемую СБИС типа «система на кристалле» (СнК) – «СБИС-полуфабрикат»

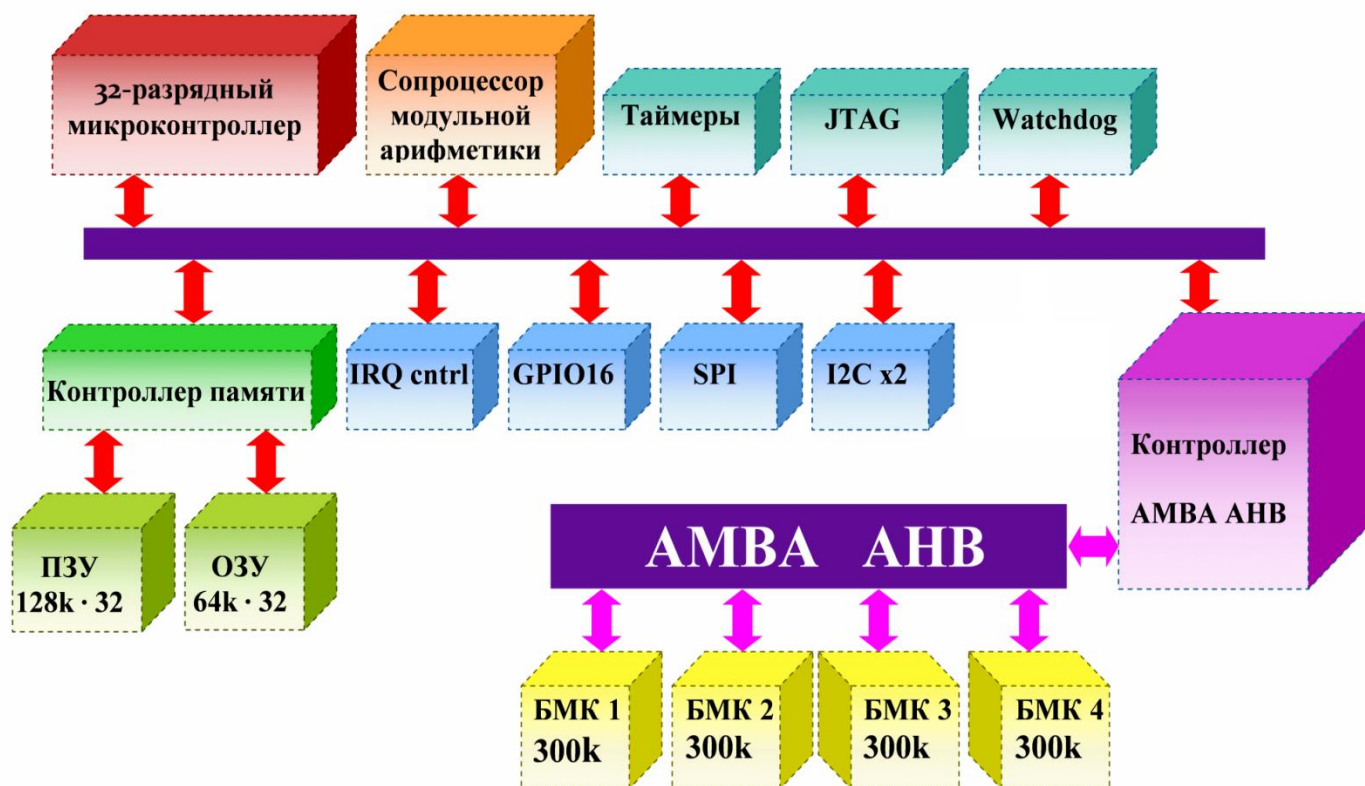
Микросхема К5512БП1Ф – программируемая полузаказная «СБИС-полуфабрикат»

Состав

- ❑ Микропроцессорное ядро - 32-разрядный RISC микроконтроллер KVARC с тактовой частотой до 150 МГц – для переноса программной части проекта.
- ❑ Сопроцессор модульной арифметики
- ❑ Четыре блока БМК по 300К вентилей – для переноса аппаратной части проекта, реализованной на ПЛИС.
- ❑ Внутренняя память – ОЗУ 64К x 32 для поддержки работы микропроцессора.
- ❑ ПЗУ – 128К x 32 – для хранения программ.
- ❑ Набор интерфейсов и шин - SPI, I²C, GPIO.

Микросхема К5512БП1Ф

Функциональная схема



Микросхема К5512БП1Ф

Основные технические характеристики

Техпроцесс КМОП 0,18 мкм
НСMOS8D ОАО «НИИМЭ и
Микрон»

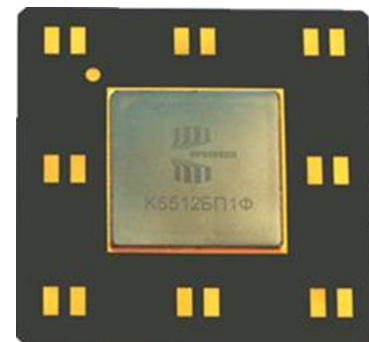
Корпус металлокерамический
CPGA-325

Количество выводов – 325

Напряжение питания – 1,8 В/3,3 В

Рабочая частота процессора до
150 МГц

Рабочая частота сопроцессора
модульной арифметики 50 МГц



Ток потребления – не
более 155 мА

Температурный
диапазон минус 40
+125°C

Средняя потребляемая
мощность не более
400 мВт

Средства разработки целевого программного обеспечения

- ❑ Пакет средств разработки C/C++ программ для процессоров KVARC.
- ❑ Графическая интегрированная среда (IDE) Eclipse.
- ❑ Компилятор C/C++ для микропроцессора KVARC.
- ❑ Ассемблер для микропроцессора KVARC.
- ❑ Отладочный комплекс для трассировки обмена данных между ядром и БМК
- ❑ Разработчиком портированы FreeRTOS, Linux2.6

Микросхема К5512БП1Ф

Возможные варианты реализации заказных схем

Базовый вариант реализации: используется только одна микросхема

- ❑ Программно-аппаратная реализация: законченная схема реализуется на базе одной микросхемы с использованием микропроцессора и БМК.
- ❑ Аппаратная реализация: законченная схема реализуется только на БМК одной микросхемы. Микропроцессор используется для реализации сервисных функций.

Микросхема К5512БП1Ф

Возможные варианты реализации заказных схем (окончание)

Расширенный вариант реализации: используется несколько микросхем с межсхемным обменом

- ❑ Программно-аппаратная реализация: при разработке законченной схемы используется несколько микросхем и осуществляется обмен данными через встроенные интерфейсы или через дополнительный интерфейс, реализованный в одном из БМК.
- ❑ Аппаратная реализация: при разработке законченной схемы, организуется общее поле БМК, коммутируемое путем соединения БМК из нескольких микросхем между собой через 40 внешних выводов, имеющих у каждой БМК. Законченная схема реализуется с использованием общего поля БМК.

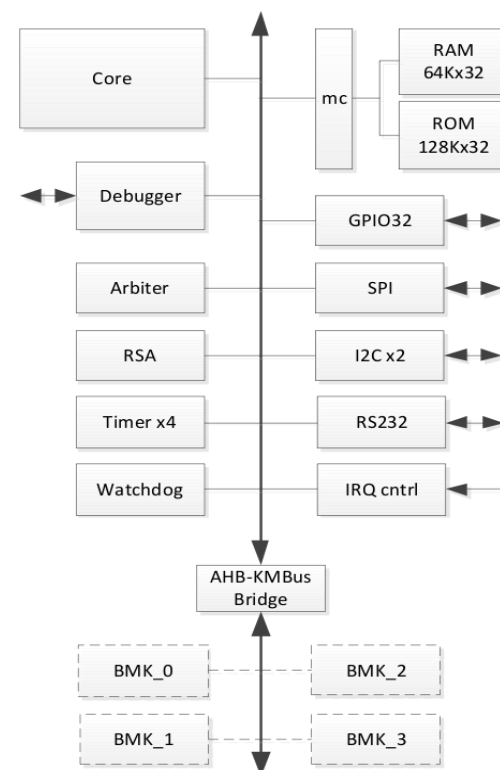
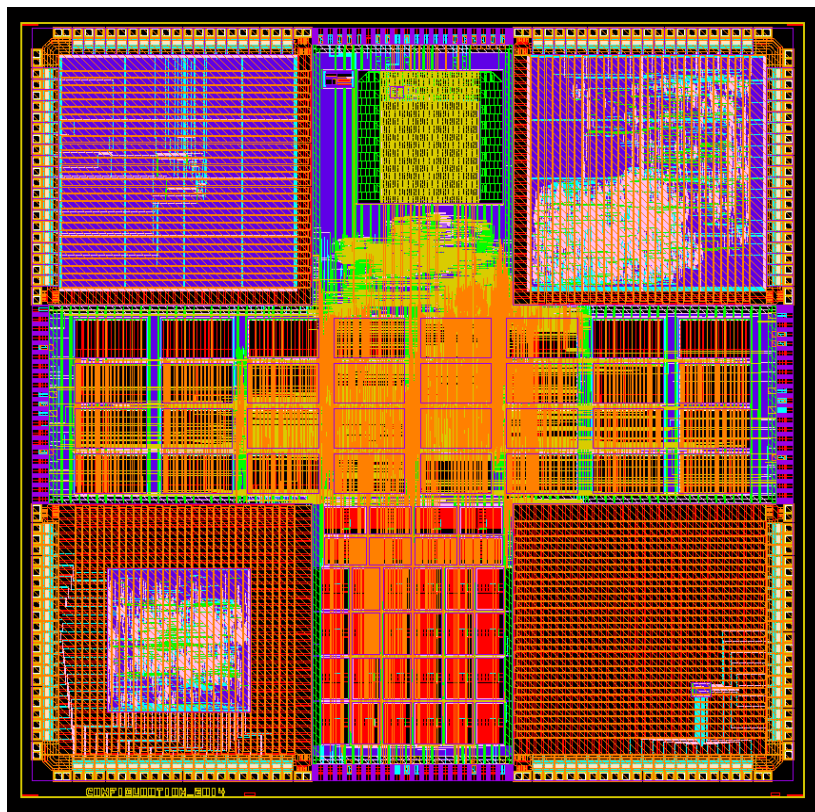
Сроки проектирования и изготовления микросхемы

- ☐ Проведение синтеза - сроки зависят от объема проекта.
- ☐ Разработка топологии прошивки одной БМК – 2 недели.
- ☐ Разработка топологии всей СБИС – 3 месяца.
- ☐ Изготовление пластин с кристаллами в ОАО «НИИМЭ и Микрон» – 3 месяца.
- ☐ Корпусирование и проведение приемосдаточных испытаний – 2 месяца.

Стоимость изготовления микросхемы

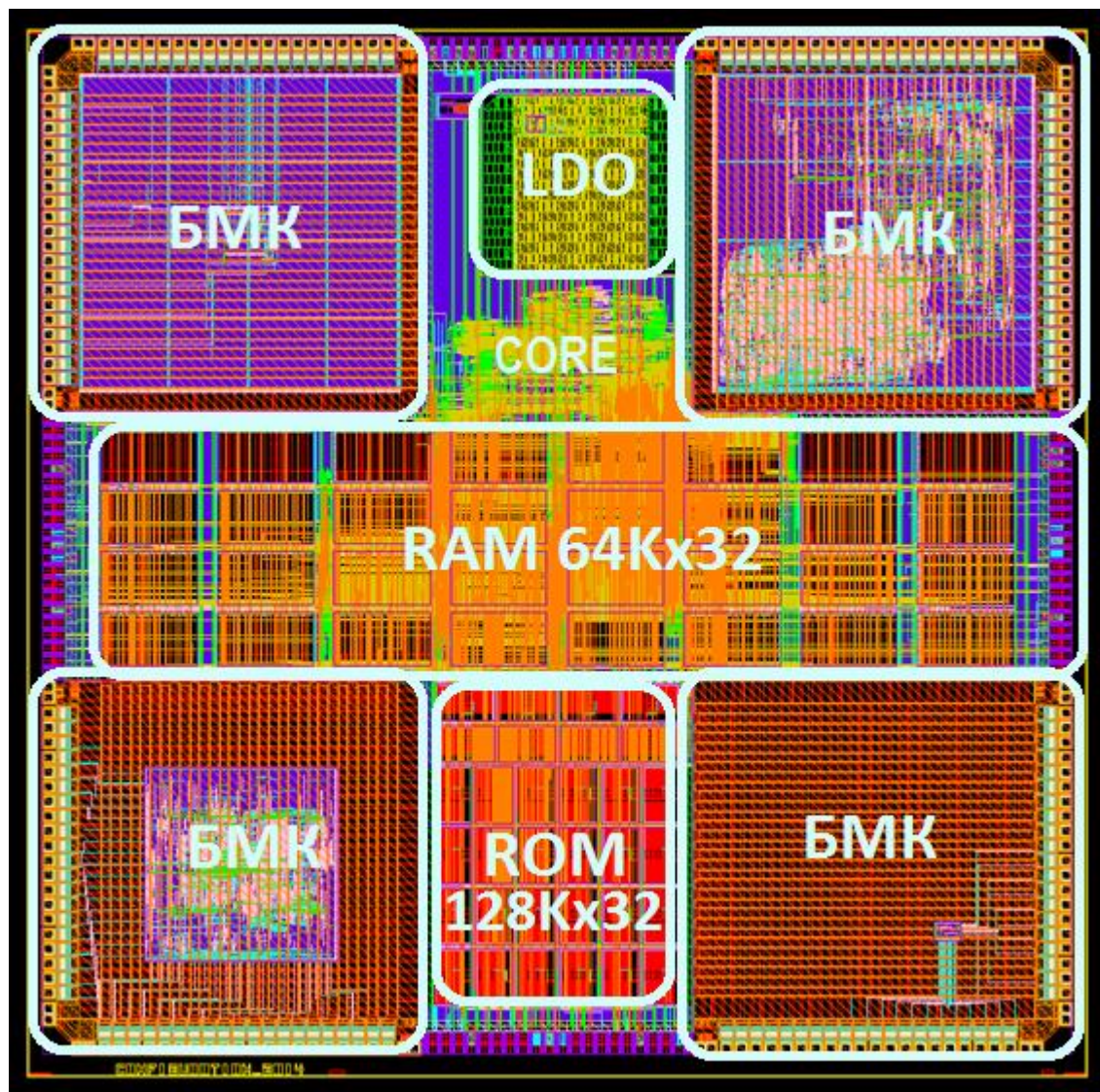
- ☐ Минимальная партия – 6 пластин, технология 0.18 мкм.
- ☐ Стоимость одной пластины – 550 тыс. рублей.
- ☐ Минимальная партия 480 микросхем.
- ☐ Стоимость 325-выводного корпуса – 6 тыс. руб/шт.
- ☐ Стоимость выпуска фотошаблонов «прошивки» – 3000 тыс. рублей.
- ☐ Стоимость микросхемы при минимальной партии – 40 тыс. рублей.

Устройство Кристалла



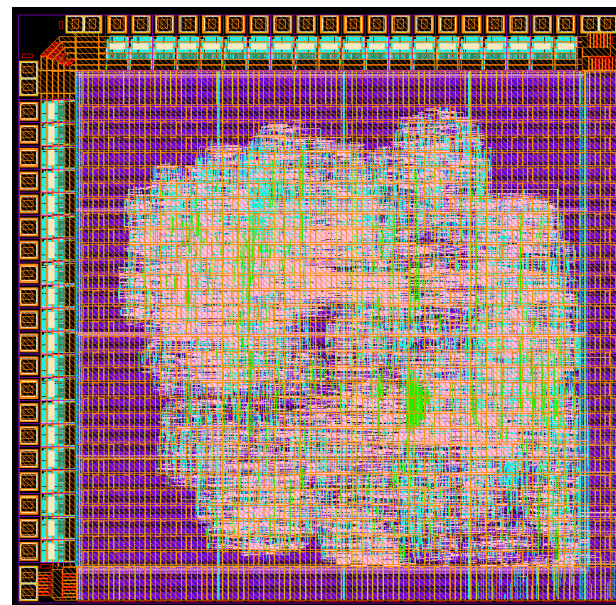
- ❑ 32-х разрядный микроконтроллер KVARC
- ❑ 4 поля БМК по 300К вентилей
- ❑ статическое ОЗУ 64Kx32 и масочное ПЗУ 128Kx32
- ❑ интерфейсы для подключения внешних устройств: SPI, I2C, RS232, GPIO, JTAG
- ❑ периферийные устройства: Timer, Watchdog, RSA

Устройство кристалла

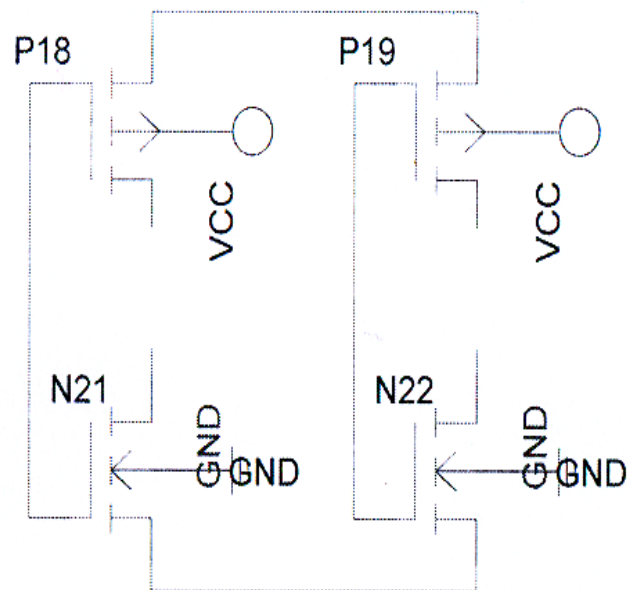
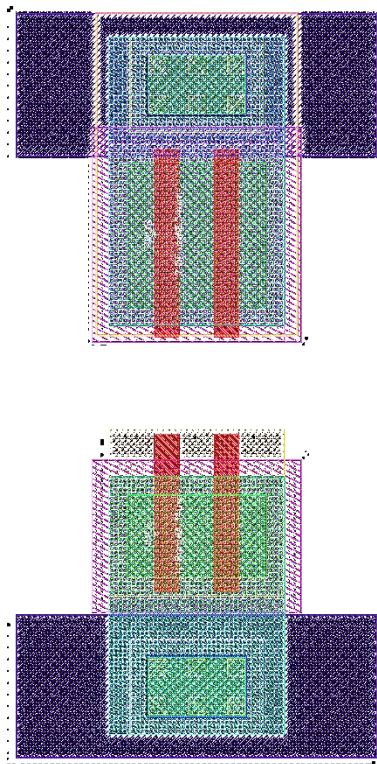


Конструкция БМК

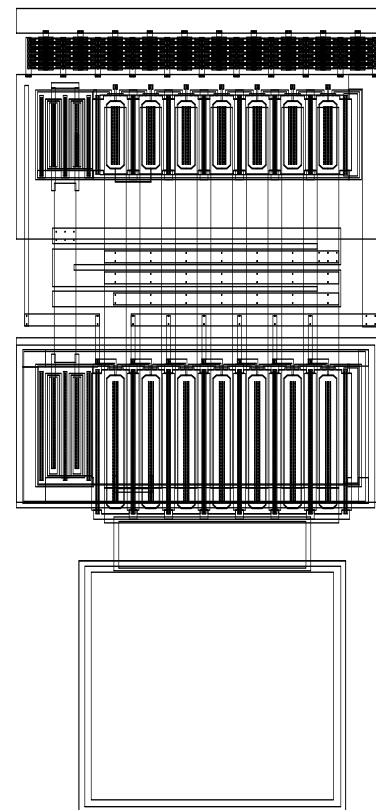
- ❑ матрица типа “море вентилей” из 300К базовых ячеек
- ❑ 40 внешних программируемых сигнальных выводов
- ❑ до 200 выводов для коммутации внутри кристалла
- ❑ библиотека базовых и периферийных ячеек для синтеза



Устройство БМК – базовая ячейка

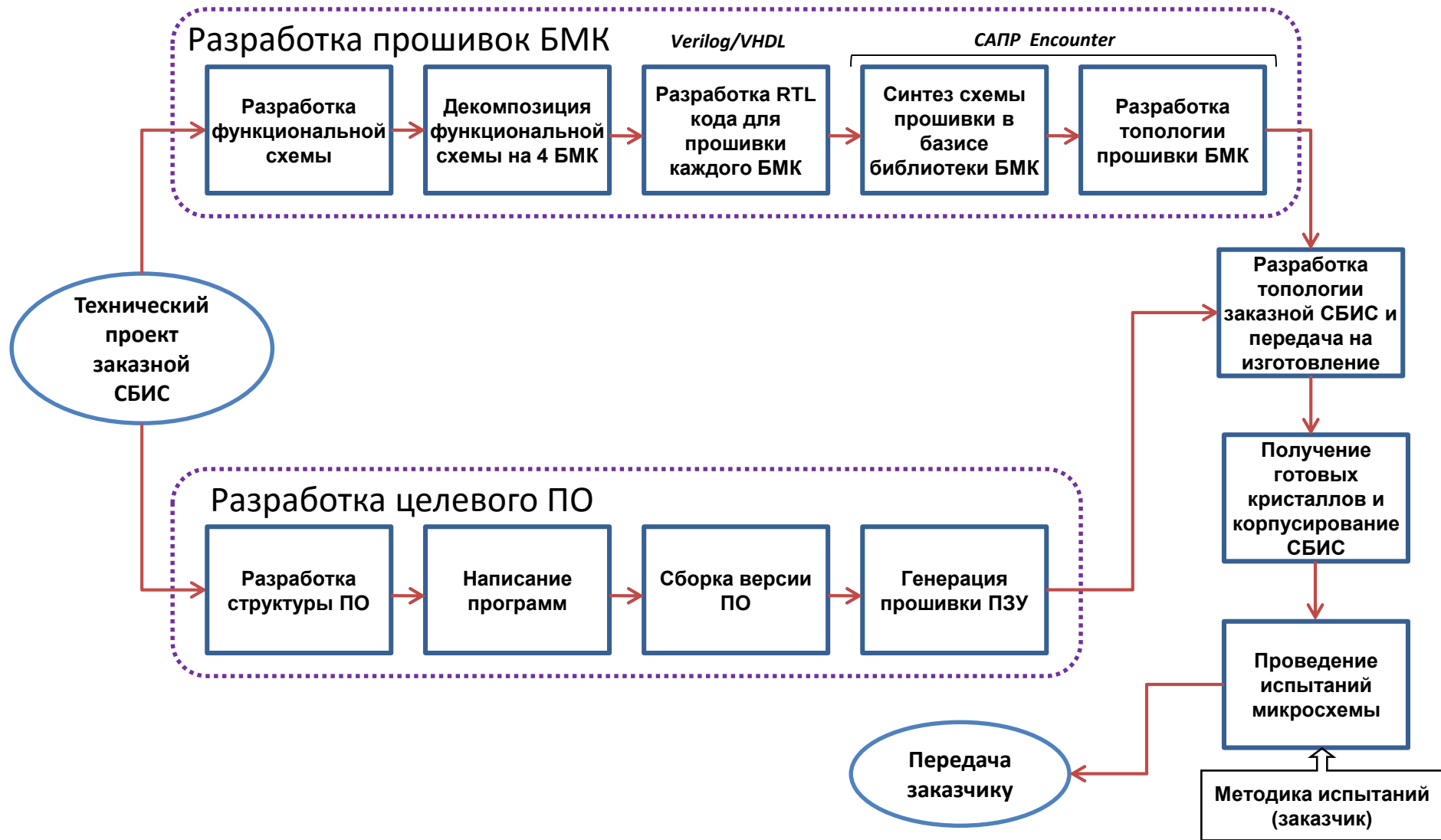


Две пары N- и P-канальных транзистора с не коммутированными затворами

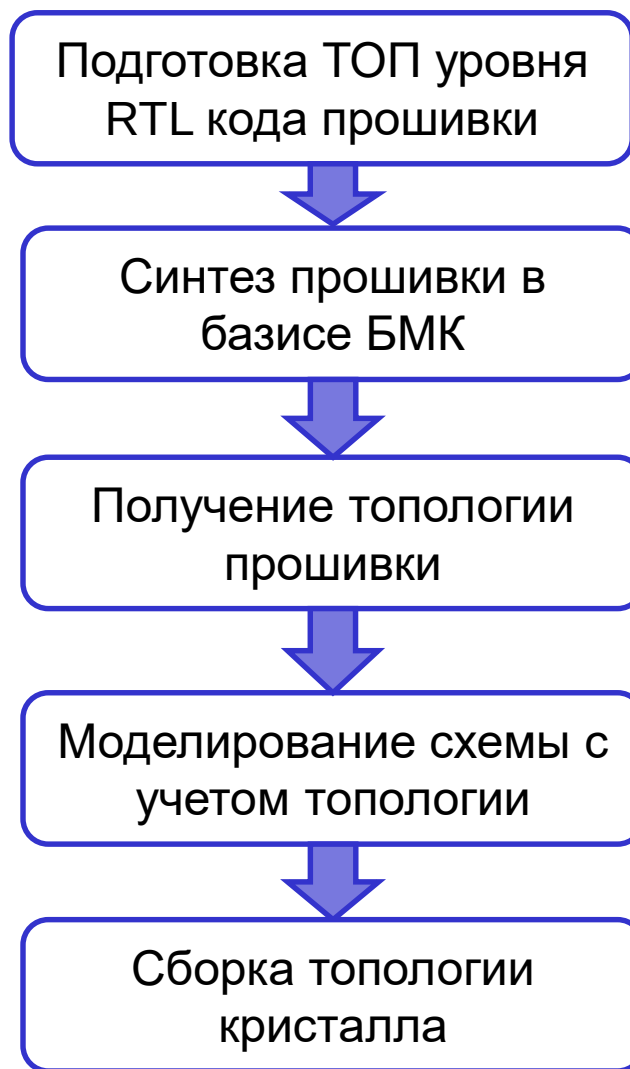
[illegible]

- 40 программируемых периферийных ячеек
- Для программирования используются слои металлов 1-4

Маршрут проектирования заказных схем на базе полузаказной СБИС К5512БП1Ф

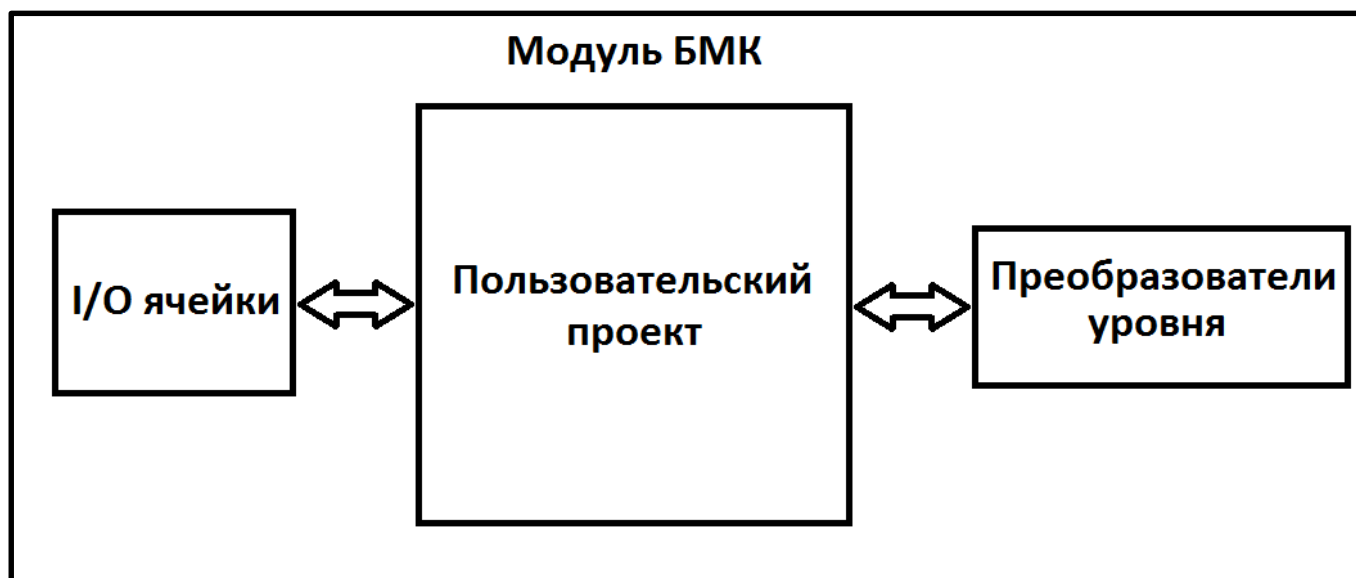
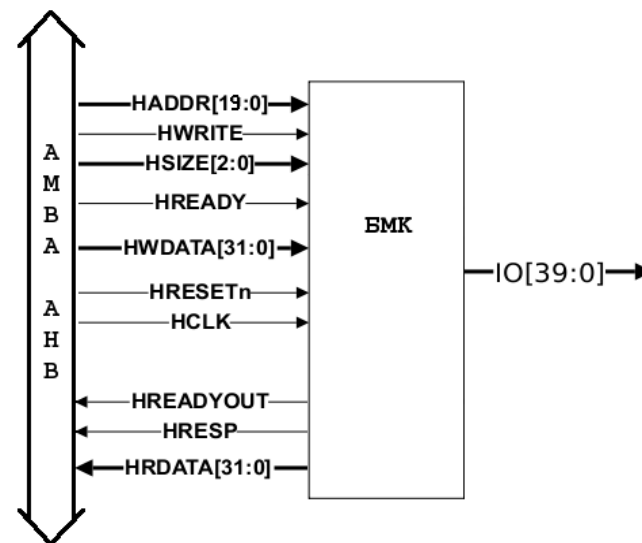


Этапы маршрута разработки прошивки БМК



Подготовка ТОП уровня RTL кода прошивки

- ☐ Чистый синтезопригодный RTL
- ☐ До 40 внешних выводов
- ☐ AMBA AHB интерфейс для связи с ядром
- ☐ До 200 выводов для связей между БМК



Синтез схемы в базисе БМК

Для синтеза списка цепей в базисе БМК используется САПР **Cadence RTL Compiler**

Этапы синтеза:

- ☐ подготовка командных скриптов
- ☐ подготовка временных ограничений
- ☐ получение нетлиста и sdf
- ☐ моделирование

Синтез схемы – подготовка командного скрипта

```
set_attribute lib_search_path . {../../../../../lib/liberty} /
set_attribute hdl_search_path . {../../../../../rtl} /
set_attribute script_search_path {../bin} /
set_attribute information_level 7 /
set_attribute remove_assigns true
set topName KR300_UART
set DATE 12feb15
set outputDir ../out
set rtl_path ../../../../../rtl/uart

set_attribute hdl_infer_unresolved_from_logic_abstract false
set_attribute library { ga_core_PtypV330T025.lib bmk_pads.lib lsh.lib}

read_hdl -v2001 ${rtl_path}/KR300_uart_top.v
read_hdl -v2001 ${rtl_path}/apb/UART/uart.v
read_hdl -v2001 ${rtl_path}/apb/UART/uart_defines.v
read_hdl -v2001 ${rtl_path}/apb/UART/uart_control.v
read_hdl -v2001 ${rtl_path}/apb/UART/uart_int_ctrl.v
read_hdl -v2001 ${rtl_path}/apb/UART/uart_receiver.v
read_hdl -v2001 ${rtl_path}/apb/UART/uart_baud_rate.v
read_hdl -v2001 ${rtl_path}/apb/UART/uart_transmitter.v
read_hdl -v2001 ${rtl_path}/apb/UART/uart_modem_ctrl.v
read_hdl -v2001 ${rtl_path}/apb/UART/uart_mode_switch.v
read_hdl -v2001 ${rtl_path}/apb/UART/uart_rx_fifo.v
read_hdl -v2001 ${rtl_path}/apb/UART/uart_tx_fifo.v
read_hdl -v2001 ${rtl_path}/apb/UART/uart_apb_if.v
read_hdl -v2001 ${rtl_path}/ahb2apb/amba_define.v
read_hdl -v2001 ${rtl_path}/KR300_UART.v

elaborate $topName

read_sdc,          ../bin/rc_constrain.sdc

synthesize -to_mapped

write -mapped > ${outputDir}/${topName}_map_${DATE}.v
write -mapped > ${outputDir}/${topName}_rc.v
write_sdf -precision 4 -celltiming all > ${outputDir}/${topName}_rc.sdf
write_sdc > ${outputDir}/${topName}_rc.sdc
report_area > ../reports/area.rpt
report_power > ../reports/power.rpt
```

Структура файла:

- ☐ Задание параметров окружения
- ☐ Задание атрибутов синтезатора
- ☐ Загрузка библиотек .LIB
- ☐ Загрузка и сборка RTL
- ☐ Загрузка timing constraints
- ☐ Запуск синтеза
- ☐ Выгрузка результатов: netlist, sdf, sdc, reports.

Синтез схемы – подготовка временных ограничений

```
set k_time 1.7
set hclk_time 13.3

set fc_top_inst /designs/KR300_FC_0/instances_hier/FC_top
set clk530_pin /designs/KR300_FC_0/instances_hier/FC_top/instances_hier/FC_6ch_i/pins_in/FC_REF_CLK_IN;
set clkgen /designs/KR300_FC_0/instances_hier/FC_top/instances_hier/FC_6ch_i/instances_hier/clock_manager_i;
set ports_num 6
set g_rst [get_port HRESETn]

create_clock -name "FC_REF_CLK" -period [expr 1*$k_time] -waveform [list [expr 0*$k_time] [expr 0.5*$k_time] ]
    $clk530_pin;

#create_clock -name "EXT_CLK" -period [expr 20*$k_time] -waveform [list [expr 0*$k_time] [expr 10*$k_time] ]
    [get_port EXT_CLK];

create_clock -name "HCLK" -period [expr 1*$hclk_time] -waveform [list [expr 0*$hclk_time] [expr 0.5*$hclk_time] ]
    [get_port HCLK];

create_generated_clock -name "FC_BYTE_CLK" -master_clock "FC_REF_CLK" -add -source $clk530_pin -divide_by 5
    [get_pin -hierarchical {FC_BYTE_CLK}]
create_generated_clock -name "FC_WORD_CLK" -master_clock "FC_REF_CLK" -add -source $clk530_pin -divide_by 20
    [get_pin -hierarchical {FC_WORD_CLK}]
#create_generated_clock -name "SYS_CLK" -master_clock "FC_REF_CLK" -add -source $clk530_pin -divide_by 10
    [get_pin -hierarchical {SYS_CLK}]

set all_inputs_wo_clock [remove_from_collection [all_inputs] [get_ports {"HCLK"}]]

set_input_delay -min 1.5 -clock HCLK $all_inputs_wo_clock
set_input_delay -max 3.0 -clock HCLK -add_delay $all_inputs_wo_clock
set_load 0.2 [ all_outputs ]
```

Файл в формате **Synopsys Design Constrains**

Определяются параметры тактовых сигналов,
внешних портов, исключений

Синтез схемы – результаты

В результате работы получаем:

- ☐ Нетлист схемы в базисе БМК
- ☐ Файл с задержками standard delay format (SDF)
- ☐ Файл временных ограничений для получения топологии (encounter)
- ☐ Файлы отчетов по площади, потреблению

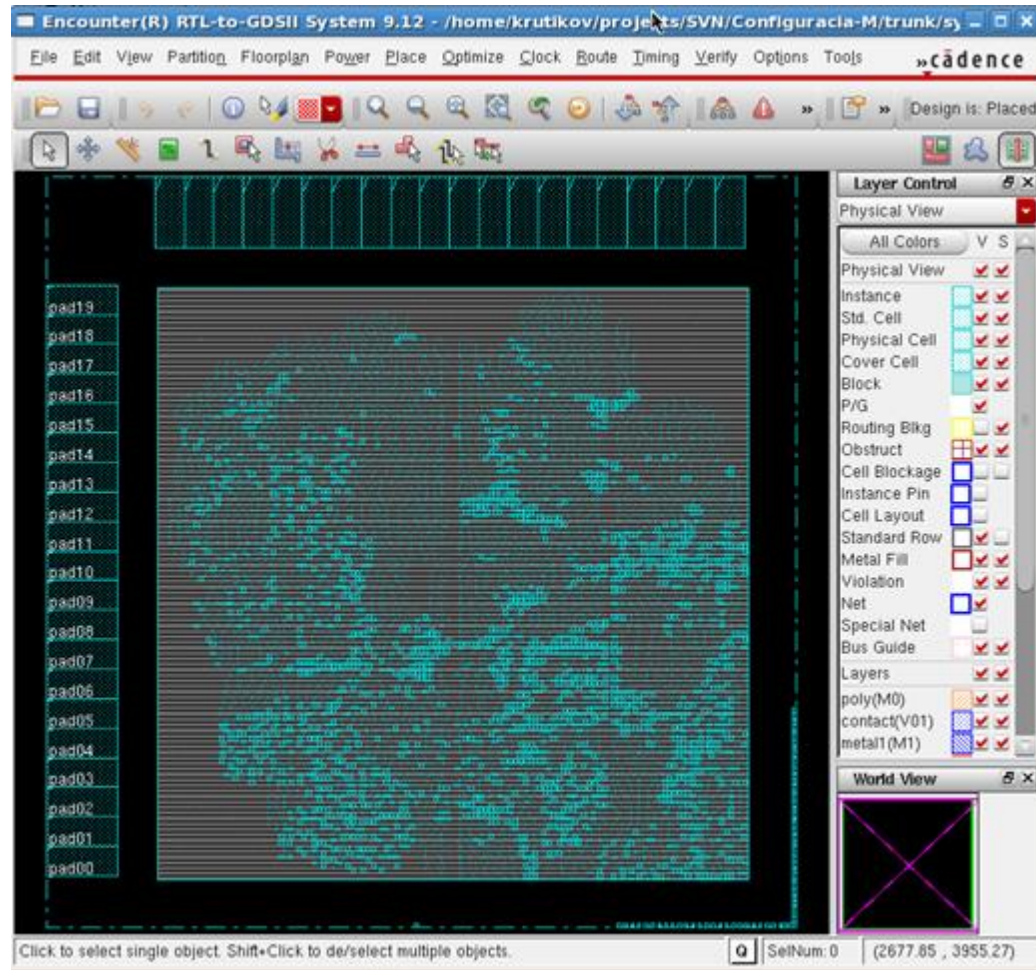
Проектирование топологии (GDSII)

Для получения GDSII используется САПР **Cadence Encounter Implementation System**

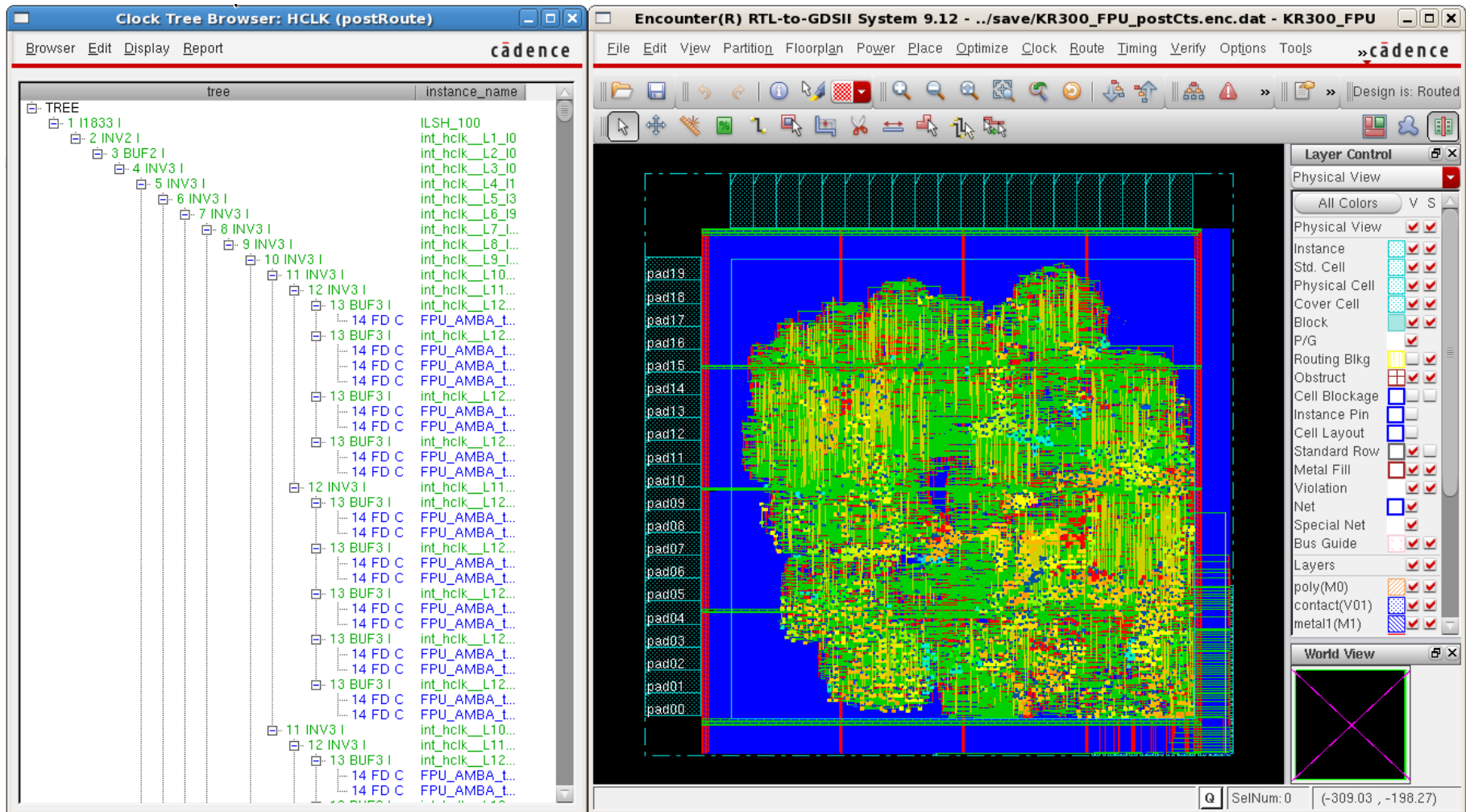
Этапы работы:

- ☐ Загрузка проекта в САПР
- ☐ План топологии (Floorplan)
- ☐ Размещение (Place)
- ☐ Дерево тактовых сигналов (Clock tree)
- ☐ Разводка (Route)
- ☐ Выгрузка данных и моделирование

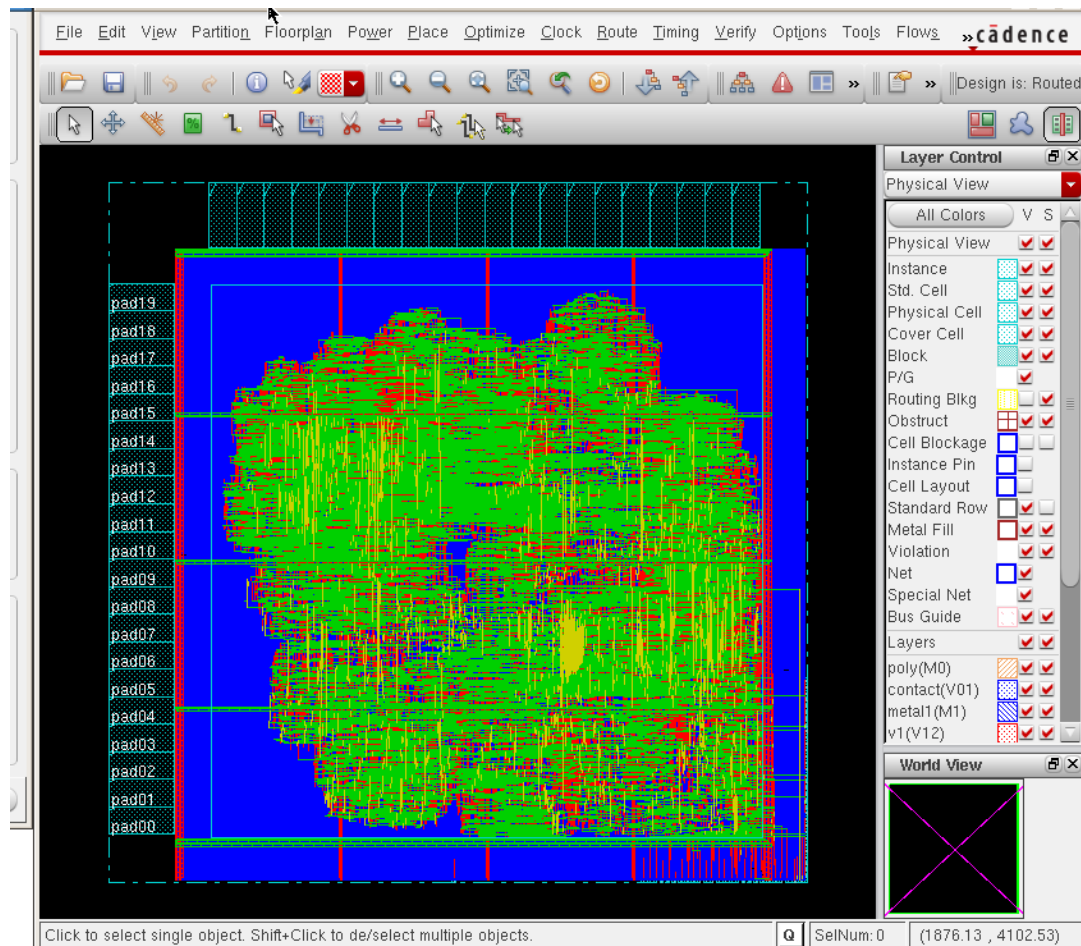
Получение топологии – Place



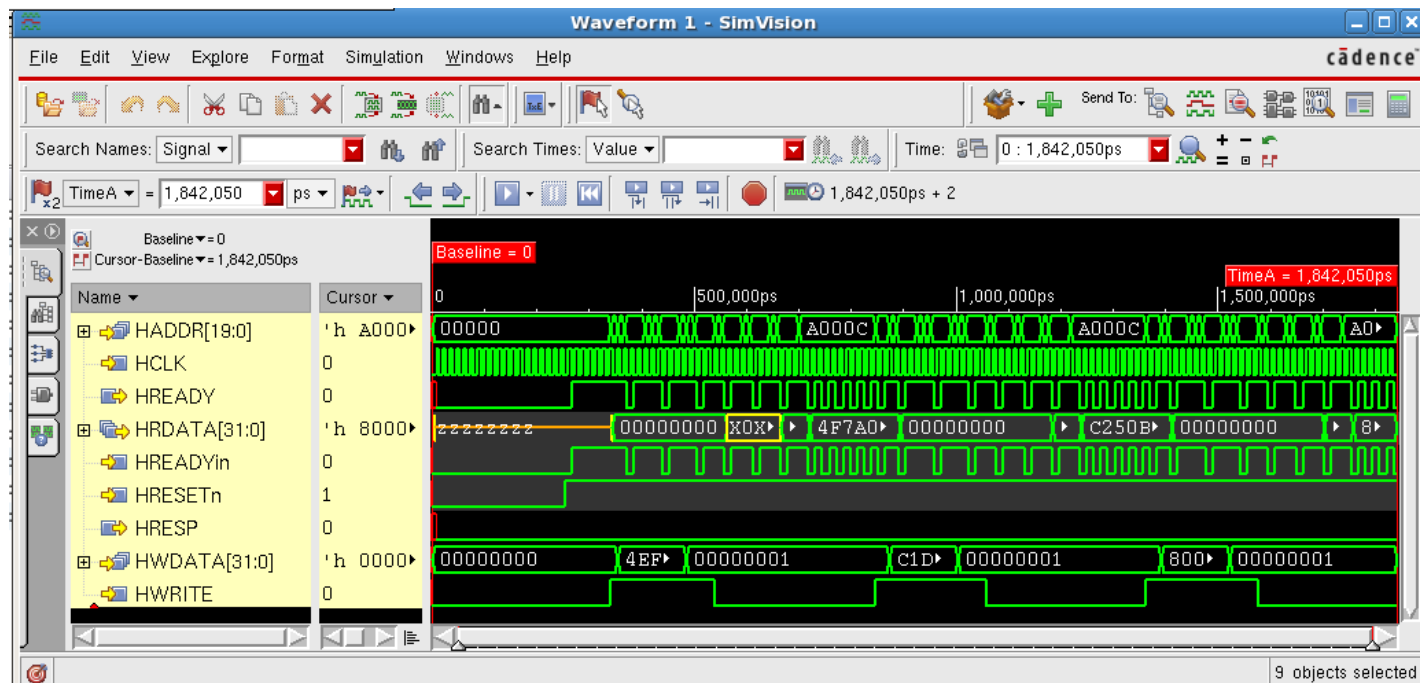
Получение топологии – Clock Tree



Получение топологии – Route

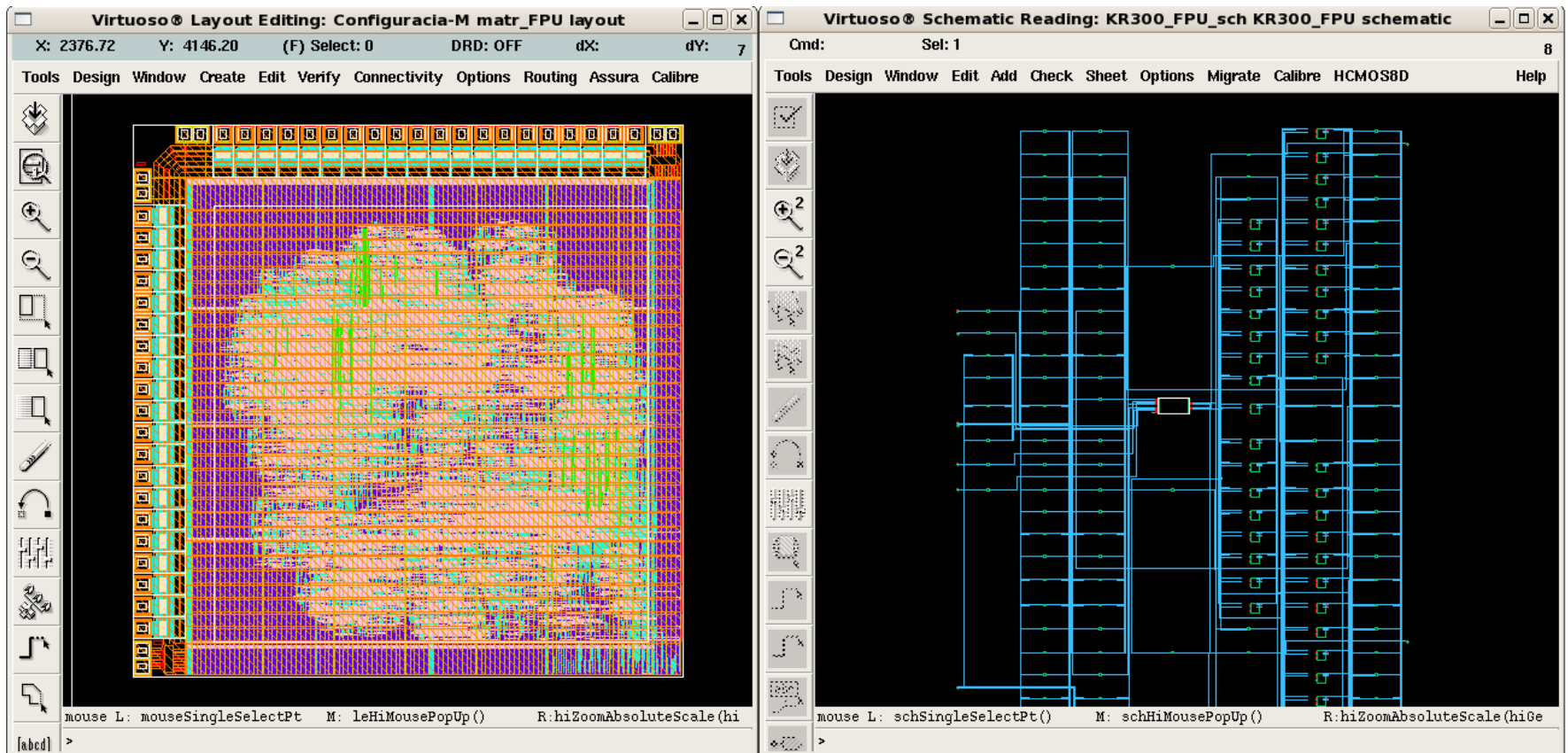


Топология– моделирование



- ☐ Для моделирования используется САПР **Cadence Incisive**
- ☐ Разрабатывается генератор тестовых воздействий (verilog testbench)
- ☐ Моделирование с использованием задержек с учетом топологии (sdf)

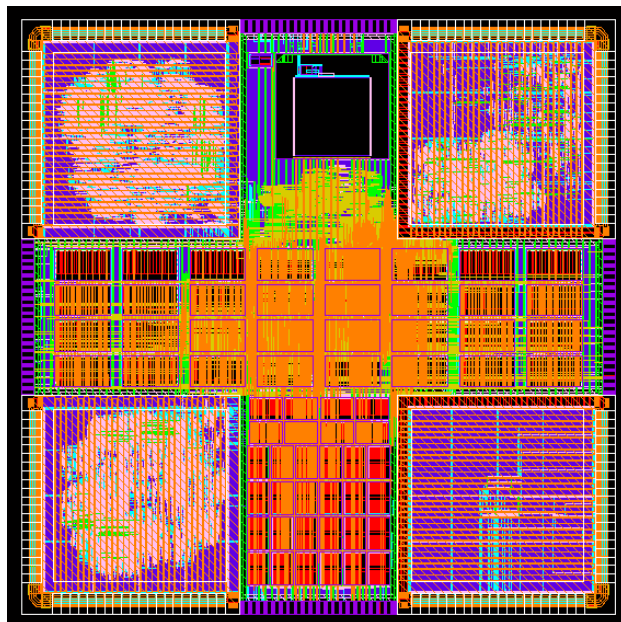
Сборка и верификация топологии БМК



Для работы с топологией используется САПР **Cadence Virtuoso**

В БД САПР загружаются GDSII и netlist

Сборка и верификация топологии кристалла



В топологию кристалла встраиваются:

- ☐ готовые прошивки БМК
- ☐ блоки ПЗУ с защитой пользовательской программой
- ☐ После финальной верификации (DRC и LVS) топология готова к передаче на фабрику

Микросхема К5512БП1Ф

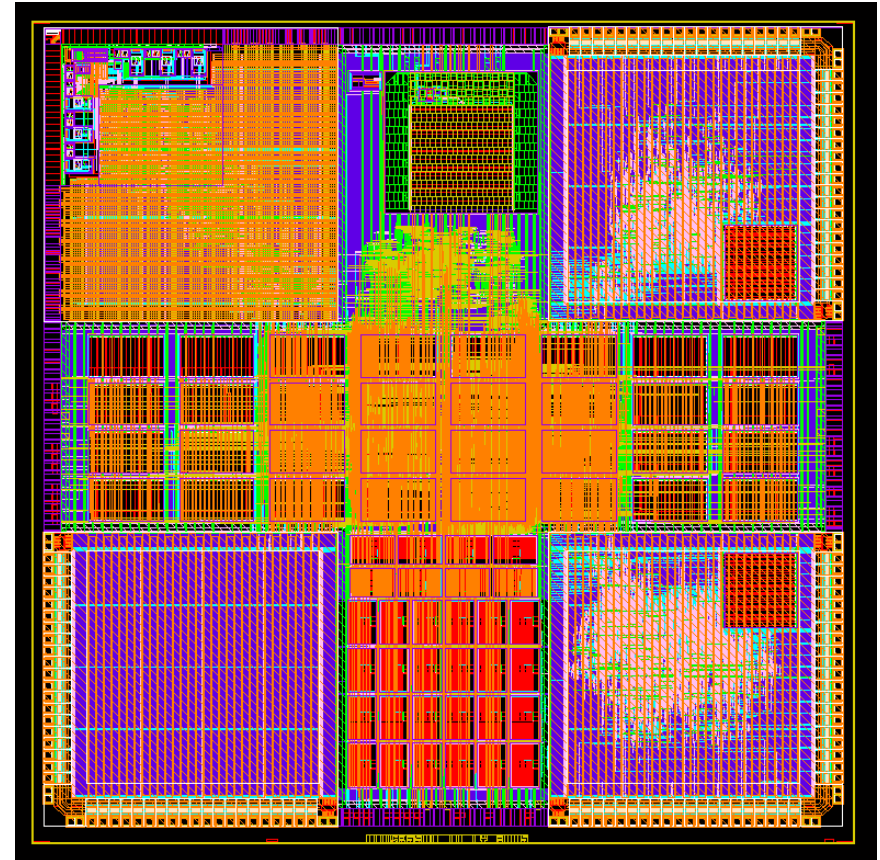
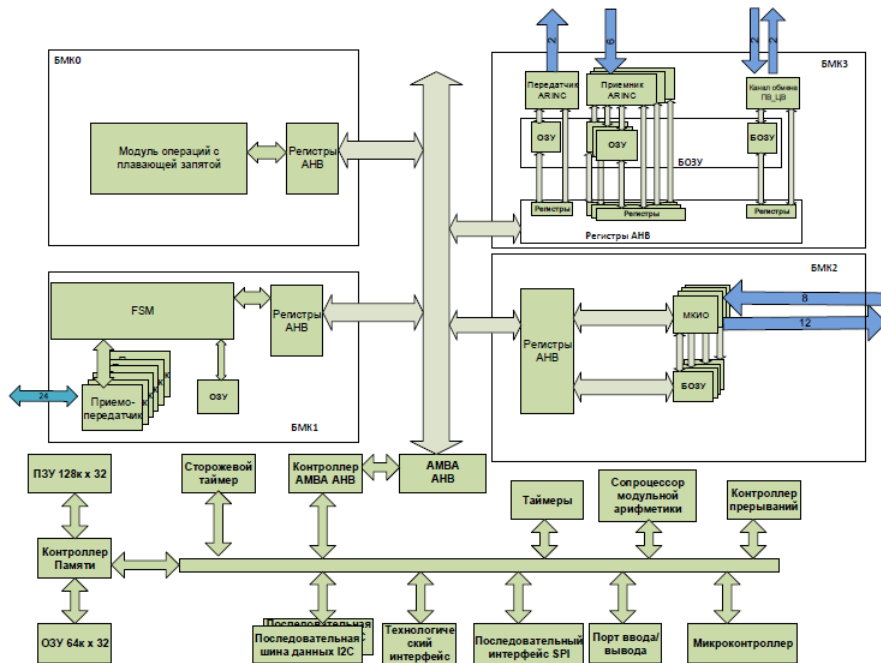
Функциональные и технологические особенности

- ☐ Возможность создания узкоориентированных схем путем зашивки специализированного программного обеспечения.
- ☐ Реализация различных схем с жесткой логикой путем встраивания их в конструкцию БМК не меняя базовые слои и конструкцию всей СБИС. Меняются только слои коммутации.
- ☐ Значительно сокращаются сроки и стоимость разработки.
- ☐ Устраняется необходимость проведения квалификационных испытаний разрабатываемых микросхем.

Примеры разработок на базе микросхемы К5512БП1Ф

- Совместная ОКР с ОАО «НПО «Радиоэлектроника» им. В.И. Шимко по проектированию схем запросчика в системе госопознавания на базе СБИС К5512БП1Ф.
- Совместная разработка с ОАО МНПК «Авионика» микропроцессорного комплекта на базе СБИС К5512БП1Ф в интересах создания на его основе нового поколения комплексных систем управления полетом.

5539TR016 «Процессор-10» - микропроцессорный комплект для создания КСУП.



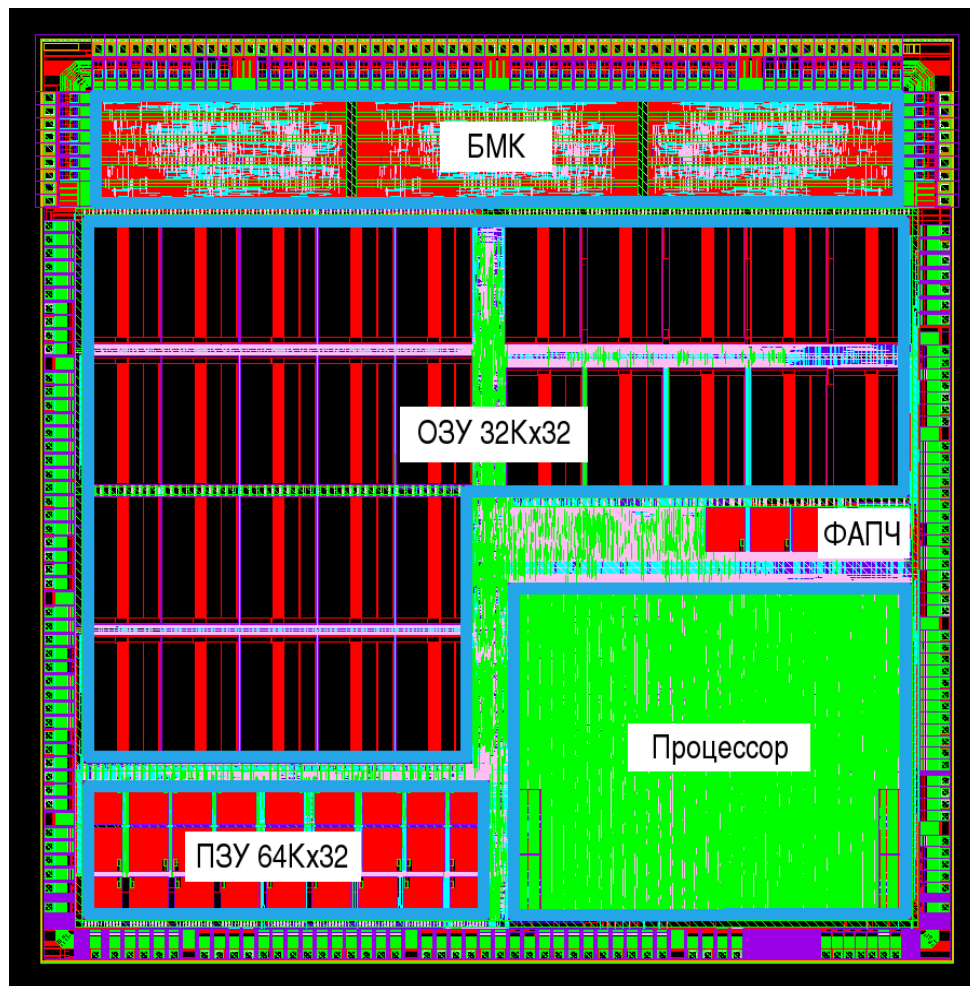
- ☐ ARINC-429;
- ☐ MIL-STD 1553;
- ☐ FPU, CORDIC;
- ☐ Высокоскоростные
приемопередатчики

Полузаказная СБИС со встроенным микропроцессорным ядром 5512БП2Ф с повышенной стойкостью к СВВФ (специальным внешним воздействующим факторам)

Состав 5512БП2Ф

- ☐ Троированное 32-х разрядное микропроцессорное ядро типа MIPS (аналог 1900BM2T)
- ☐ Масочное ПЗУ 64Kx32
- ☐ Статическое ОЗУ 32Kx32
- ☐ Частота 66МГц
- ☐ Интерфейсы: троированные SPI и 8-разрядый GPIO
- ☐ служебный UART
- ☐ Троированный БМК
- ☐ Технология МИКРОН КНИ 0.25

Топология 5512БП2Ф



Программно-аппаратный стенд в маршруте проектирования заказной СБИС K5512БП1Ф

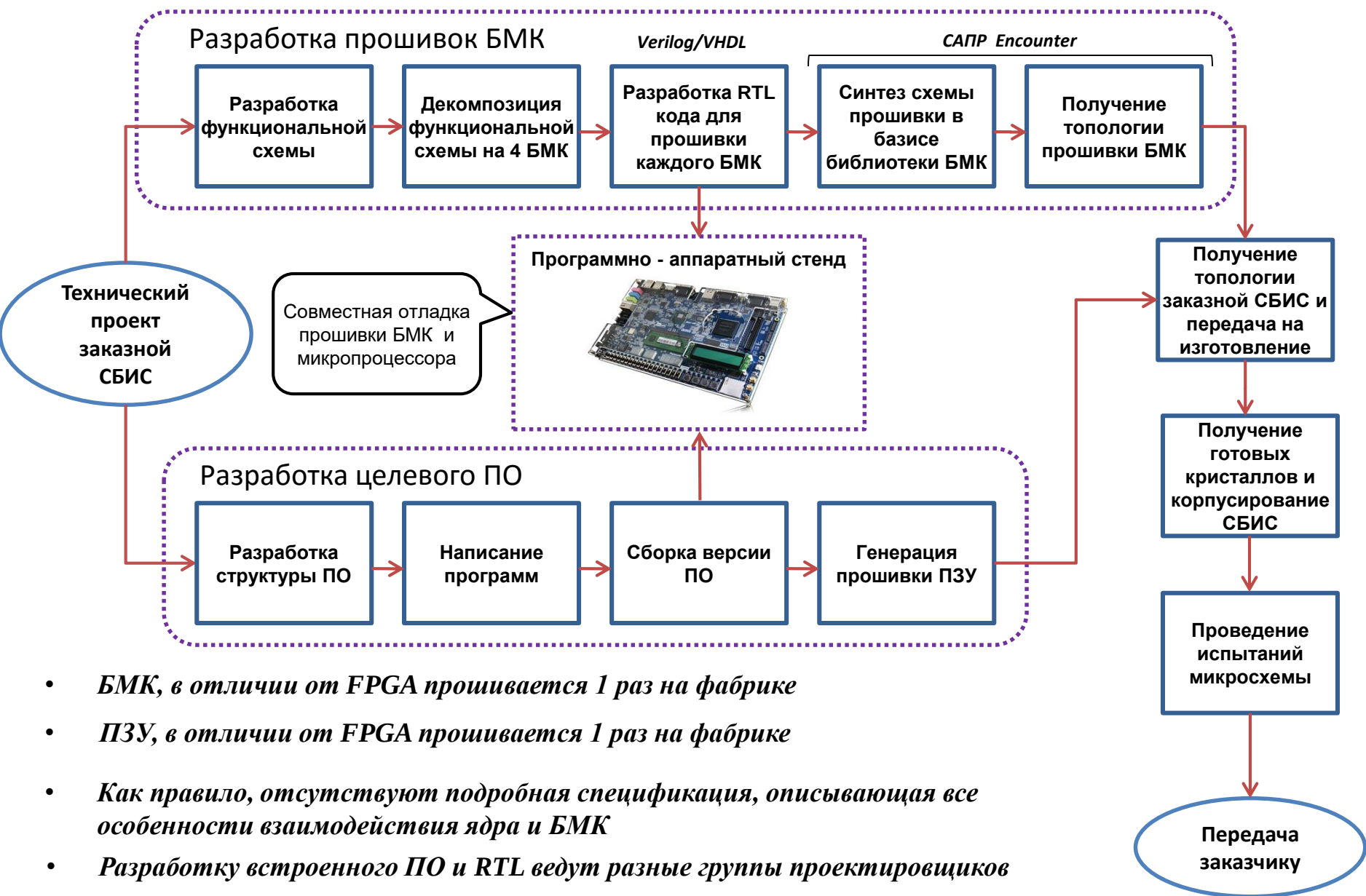
Бандурин Дмитрий Евгеньевич

Зам.нач отдела верификации

bandurin@mri-progress.ru

(499) 153 04 41

ИННОПОЛИС ИЮНЬ 2016



Программно-аппаратный комплекс для отладки СБИС на основе К5512БП1Ф

Назначение

- ❑ Совместная отладка заказного схемотехнического решения и программного обеспечения в режиме трассировки для встроенного микропроцессорного ядра KVARC и блоков БМК

Программно-аппаратный комплекс для отладки СБИС на основе K5512БП1Ф

Возможности

- ❑ Трассировка выводов БМК
 - Одновременная трассировка до 40 выводов БМК
 - Задание битовой маски выводов, изменение которых приводит к формированию пакета данных
 - Отображение данных в режиме реального времени

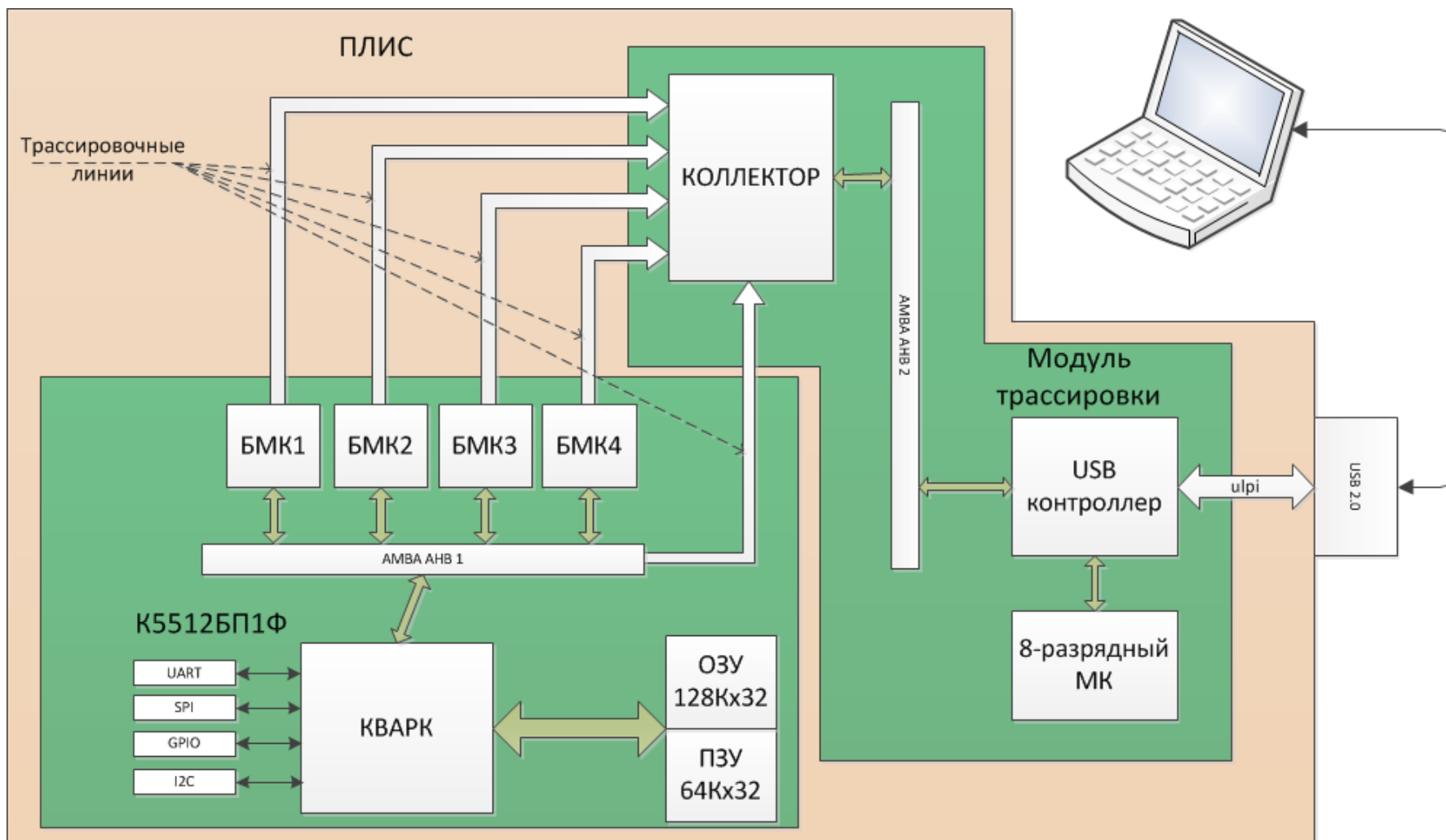
- ❑ Трассировка шины обмена данных между ЯДРОМ и БМК
 - Трассировка на уровне транзакция
 - Отображение данных в режиме реального времени

Программно-аппаратный комплекс для отладки СБИС на основе K5512БП1Ф

Возможности

- ☐ Управление трассировкой со стороны ПК
 - Независимое управление трассировкой выводов БМК и шиной обмена данных ЯДРО <-> БМК
 - Сохранение данных в формате VCD
- ☐ Интерфейс взаимодействия с РС - USB2.0

Программно-аппаратный комплекс для отладки СБИС на основе K5512БП1Ф



Программно-аппаратный комплекс для отладки СБИС на основе K5512БП1Ф

Состав (Аппаратная часть)
Плата Terasic DE2i-150



Программно-аппаратный комплекс для отладки СБИС на основе K5512БП1Ф

Состав (Аппаратная часть)

- Плата Terasic DE2i-150
 - *FPGA GXP4CGX150F31 Cyclone IV:*
 - *149760 логических элементов,*
 - *6480 Кбит встроенной памяти;*
 - 128 МБ SDRAM; 4 SSDRAM; 64 МБ Flash;
 - Слот для SD карты;
 - Ethernet 10/100/1000 Мбит/с;
 - Разъем HSMC; 40-выводной разъем расширения;
 - LCD дисплей 16х2;
 - 18 переключателей; 4 тактовые кнопки; 27 светодиодов;
 - 8 семисегментных индикаторов;
 - Микропроцессор: Intel® Atom™ Dual Core Processor N2600
 - Чипсет Intel® NM10 Express Chipset;
 - Память DDR3 SO-DIMM SDRAM;

Программно-аппаратный комплекс для отладки СБИС на основе K5512БП1Ф

Состав (Аппаратная часть)

- Ядро KVARC в виде раздела (partition, QXP) с интерфейсами к шинам АНВ четырем БМК
- Блок трассировки в виде раздела (partition, QXP)
 - Коллектор
 - 8 разрядный микроконтроллер
 - USB контроллер 2.0
 - Физический уровень USB2.0, реализованный на отдельной плате

Программно-аппаратный комплекс для отладки СБИС на основе K5512БП1Ф

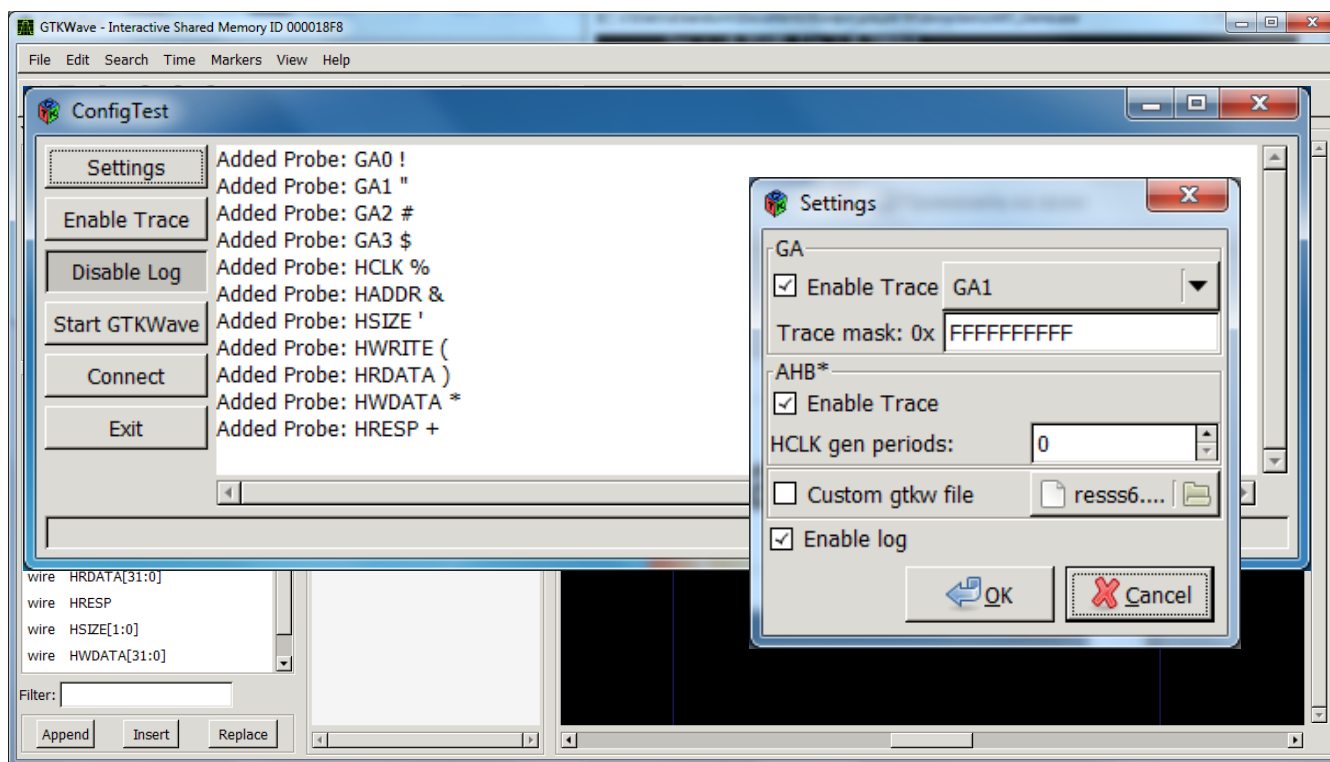
Состав (Программная часть)

- Протокол взаимодействия между ПК и блоком трассировки по интерфейсу USB2.0
- Встроенное ПО для микроконтроллера, управляющего контроллером USB и коллектором
- ПО для ПК

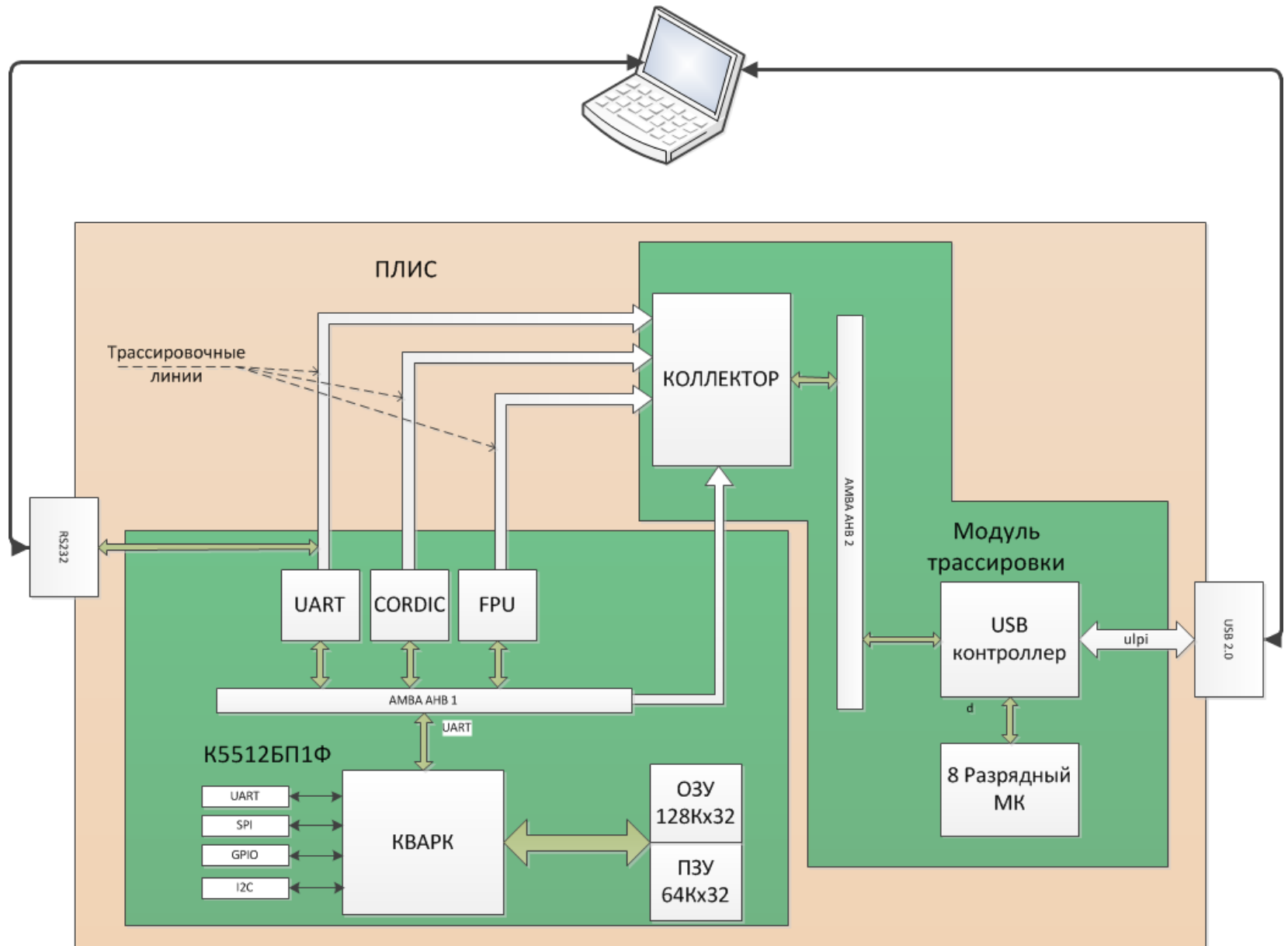
Программно-аппаратный комплекс для отладки СБИС на основе К5512БП1Ф

Состав (Программная часть)

- ПО для ПК реализует:
 - Графический интерфейс управления трассировкой
 - Графический интерфейс визуализации данных трассировки
 - Прикладной уровень протокола USB



Использование отладочного комплекса для тестового примера



Состав тестового примера для прототипирования

Ядро KVARC в виде раздела (partition, QXP)

RTL код 3х БМК: CORDIC, FPU, UART

Протокол обмена РС– KVARC по UART

Тестовая программа для МК KVARC

- получение/отправка команд по UART,
- управление блоком FPU,
- управление блоком CORDIC

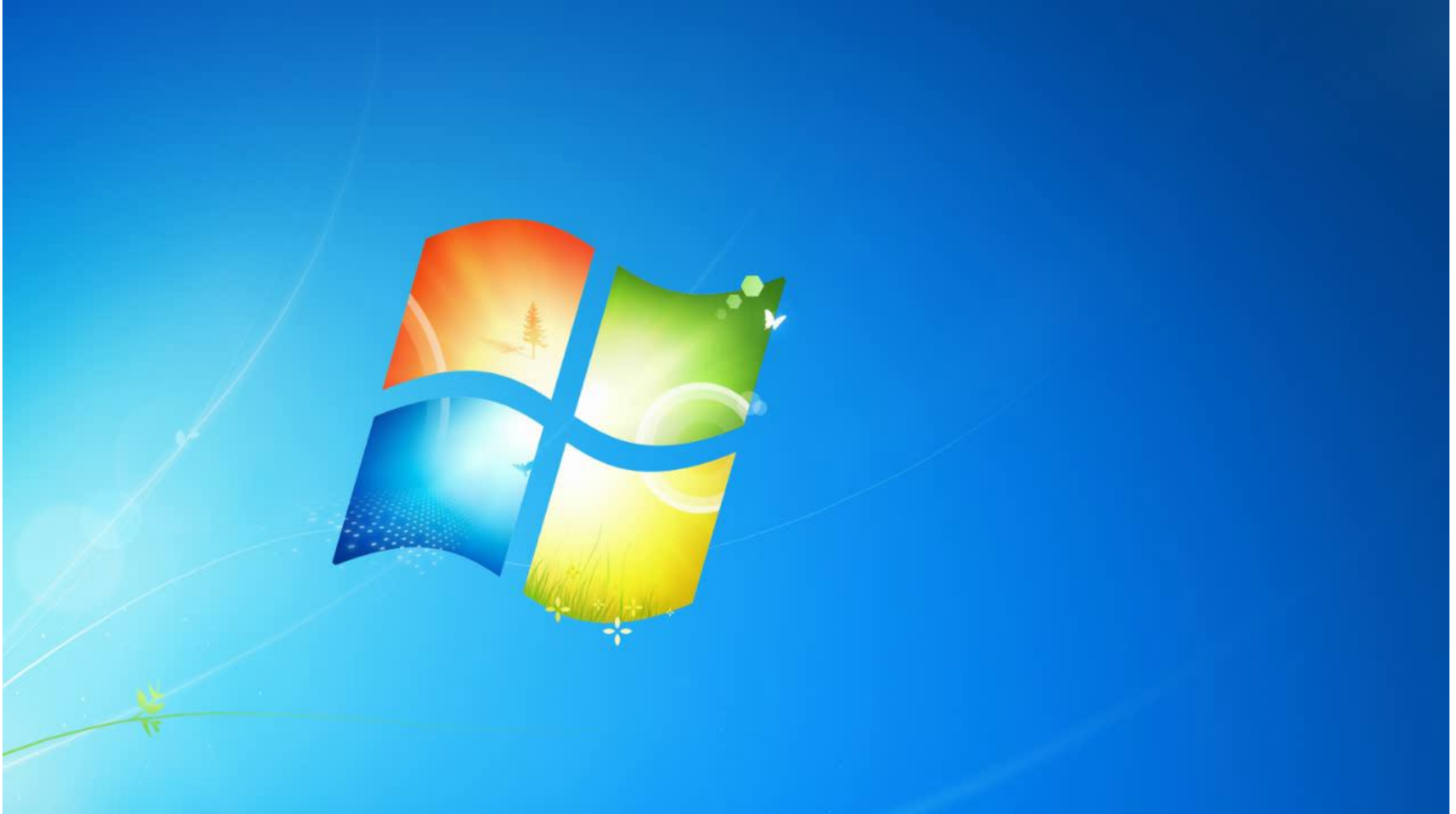
Тестовая программа для РС выполняет функции

Формирование заданий:

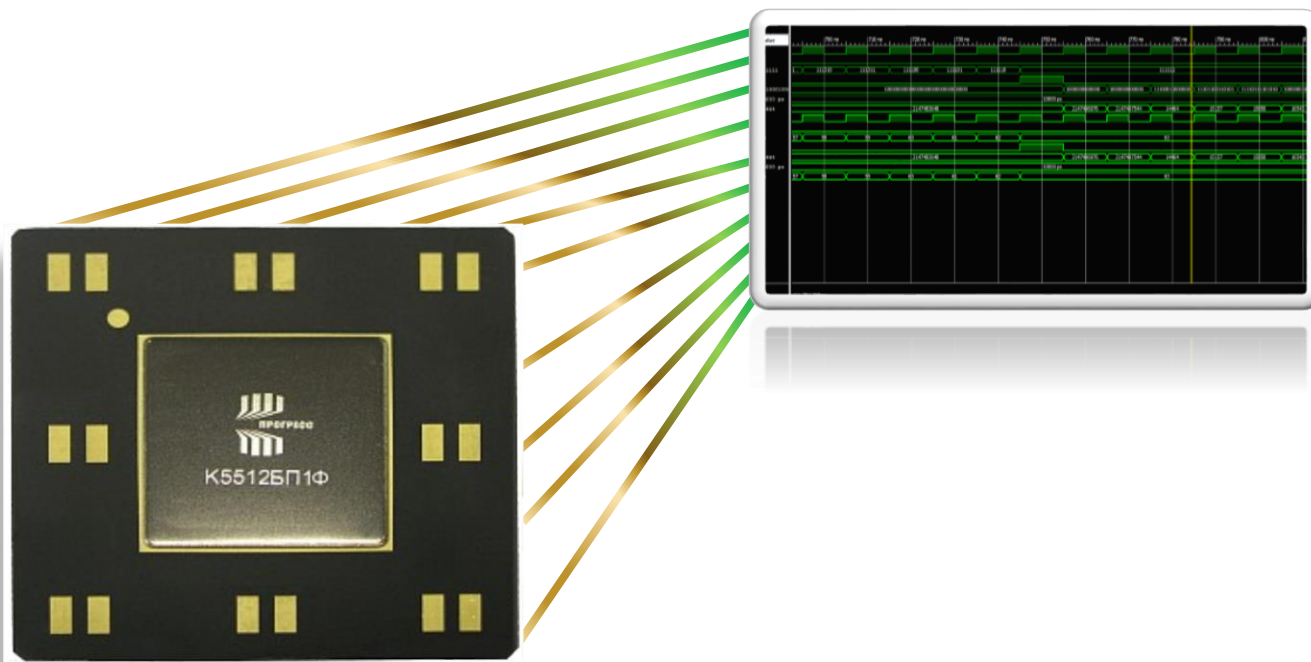
- Тестирование FPU в различных режимах
- Тестирование функции арктангенс блока CORDIC
- Тестирование функций синус, косинус блока CORDIC

Отправка / прием данных по UART

Демонстрация работы отладочного комплекса на основе тестового примера



Спасибо за внимание !!!



Вопросы ???